

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-18356

(43) 公開日 平成9年(1997) 1月17日

(51) IntCl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 M 13/12			H 0 3 M 13/12	
G 1 1 B 5/09	3 2 1	7520-5D	G 1 1 B 5/09	3 2 1 Z
20/18	5 3 4	9558-5D	20/18	5 3 4 A
	5 7 0	9558-5D		5 7 0 F
	5 7 2	9558-5D		5 7 2 B

審査請求 未請求 請求項の数26 O L (全 25 頁) 最終頁に続く

(21) 出願番号 特願平8-132084

(22) 出願日 平成8年(1996) 5月27日

(31) 優先権主張番号 08/497520

(32) 優先日 1995年6月30日

(33) 優先権主張国 米国 (U S)

(71) 出願人 591179352

クワンタム・コーポレーション
QUANTUM CORPORATION
アメリカ合衆国、95035 カリフォルニア
州、ミルピタス、マッカーシー・ブルバ
ード、500

(72) 発明者 ケリー・ケイ・フィッツパトリック
アメリカ合衆国、94040 カリフォルニア
州、マウンテン・ビュー、カーメリタ・ド
ライブ、280

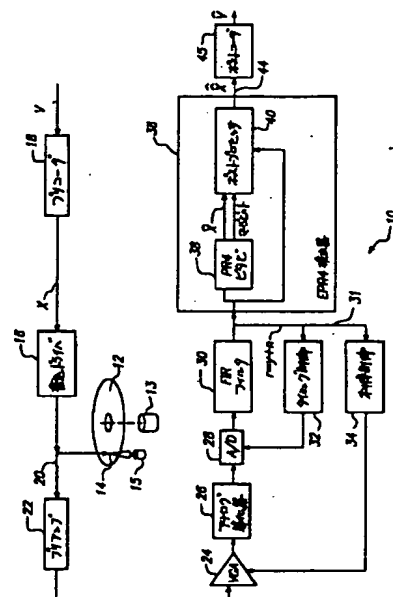
(74) 代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 PR4等化サンプリングデータ検出チャンネルにおけるEPR4検出器およびEPR4検出方法ならびにデジタル情報記憶および検索チャンネル

(57) 【要約】

【課題】 EPR4チャンネルに対する複雑度の低いポストプロセッサを実現する。

【解決手段】 EPR4検出器は、PR4ビタビ検出器と、PR4ビタビの出力での推定された出力シーケンスを向上させるためのEPR4ポストプロセッサとを含む。PR4ビタビ検出器は、PR4トレリスを通る経路に従い、コード化されたデジタル情報のデジタル推定をチャンネルに生成し、かつPR4トレリスを通るその他の経路に関連するその他の経路情報を生成する。EPR4ポストプロセッサは、PR4経路記憶回路と、エラー事象選択回路と、経路訂正回路とを有する。



【特許請求の範囲】

【請求項1】 PR4等化サンプリングデータ検出チャネルにおけるEPR4検出器であって、

PR4トレリスを通る決定された経路に対応するコード化されたデジタル情報の値の推定されたシーケンスを発生するため、およびPR4トレリスを通るその他の経路に関連するその他の経路情報を発生するための、PR4等化サンプリングデータ検出チャネルからデジタルサンプルを受取るために接続されるPR4ビタビ検出器と、PR4ビタビ検出器およびPR4等化サンプリングデータ検出チャネルに接続されるポストプロセッサとを含み、ポストプロセッサは、

EPR4トレリスを通る状態のシーケンスを含むPR4経路を特定するコード化されたデジタル情報の値の推定されたシーケンスを受取りストアするためのPR4経路記憶回路と、

1組のエラー事象からの重複しないエラー事象を選択するためにPR4ビタビ検出器からその他の経路情報を受取るためのエラー事象選択回路と、

EPR4トレリスを通るPR4経路から分岐する重複しないエラー事象を訂正するため、およびコード化されたデジタル情報の値の推定されたシーケンスの訂正されたものを出力するための、PR4経路記憶回路およびエラー事象選択回路に接続される経路訂正回路とを備える、EPR4検出器。

【請求項2】 PR4ビタビ検出器は、PR4等化サンプリングデータ検出チャネルからの奇数および偶数のデジタルサンプルを受取るために接続され、ビットによる2つのインタリーブされる(1-D')ビタビ検出器を含み、前記インタリーブされるビタビ検出器の各々は、(1-D')トレリスを通る経路に対応する推定された入力シーケンス、および(1-D')トレリスを通るその他の経路に関連するその他の経路情報を出力する、請求項1に記載のEPR4検出器。

【請求項3】 インタリーブされる(1-D')ビタビ*

1	および	0
1×1	および	0×0
1×1×1	および	0×0×0
1×1×1×1	および	0×0×0×0
1×1×1×1×1	および	0×0×0×0×0
1×1×1×1×1×1	および	0×0×0×0×0×0
1×1×1×1×1×1×1	および	0×0×0×0×0×0×0
1×1×1×1×1×1×1×1	および	0×0×0×0×0×0×0×0

を間違えることに相当し、上記において×は「ドントケア」状態を示し、

タイプAのエラー事象は以下の入力シーケンス、

101	および	010
1010	および	0101
10101	および	01010
101010	および	010101

*検出器の各々は、前記各々のインタリーブされる(1-D')ビタビ検出器内で分岐する残存経路の存在および不在のうち一方を、(1-D')トレリスを通るその他の経路に関連する前記その他の経路情報として示す二進マージシンボルを出力する、請求項2に記載のEPR4検出器。

【請求項4】 ポストプロセッサ内におけるエラー事象回路は、

EPR4トレリスを通るPR4経路から分岐した複数のエラー事象に対し距離を計算および比較するための距離計算および比較回路と、

重複しないエラー事象を識別し、1組のエラー事象内のエラー事象に対する前記距離と、時間のウィンドウにわたり観測される最良のエラー事象に対応するエラー事象に対する距離とを比較することにより訂正するための、重複しないエラー事象識別回路とを含む、請求項3に記載のEPR4検出器。

【請求項5】 距離計算および比較回路により距離が計算される1組のエラー事象は、

EPR4トレリスを通るPR4経路に沿う状態のシーケンスの各状態で終わる、最良のタイプBの最小距離エラー事象と、

EPR4トレリスを通るPR4経路に沿う状態のシーケンスの各状態で終わる、最良のタイプBの最小距離エラー事象および最良のタイプAの最小距離エラー事象と、

EPR4トレリスを通るPR4経路に沿う状態のシーケンスの各状態で終わる、最良のタイプBの最小距離エラー事象および最良のタイプAのエラー事象とのうち1つを含み、ここで最良のタイプAのエラー事象は必ずしも最小距離エラー事象ではない、請求項4に記載のEPR4検出器。

【請求項6】 コード化されたデジタル情報の値のシーケンスは、レート16/17(d=0, G=6/I=7)変調コードに従い、タイプBのエラー事象は以下の入力シーケンス、

1010101	および	0101010
10101010	および	01010101

を間違えることに相当する、請求項5に記載のEPR4検出器。

【請求項7】 PR4経路記憶回路は、

奇数および偶数のインタリーブPR4ビタビデコーダからマージビットを受取り遅延させるために接続されるマ

ージビットメモリと、
 奇数および偶数のインタリーブPR4ビタビデコーダから推定された入力シンボルを受取り遅延させるために接続されるPR4判断メモリとを含み、
 エラー事象選択回路は、
 マージメモリおよびPR4判断メモリに接続され、エラー事象を有効化させるためのエラー事象有効化回路と、
 マージメモリ、PR4判断メモリおよびエラー事象有効化回路に接続され、奇数および偶数のインタリーブエラー距離信号を計算するためのエラー事象距離発生回路と、
 奇数および偶数のインタリーブエラー距離信号を比較するため、および最大のエラー事象距離により識別されるものとして現在の最良のエラー事象を決定するためのエラー事象比較回路と、
 現在の最良のエラー事象からの現在の差分距離を計算するため、現在の差分距離をタイミングウィンドウ内の最良の差分距離と比較するため、および更新された最良のエラー事象の差分距離を選択し保存するための、更新最良エラー事象回路と、
 更新された最良のエラー事象の差分距離により識別されたエラー事象内で発生するすべてのシンボルエラーを訂正するため、および訂正されたシンボルをコード化されたデジタル情報の値の推定されたシーケンスが訂正されたものとして出力するための、マージビットメモリ、PR4判断メモリ、および更新最良エラー事象回路に接続される、最良エラー事象訂正回路とを含む、請求項3に記載のEPR4検出器。
 【請求項8】 サンプリングデータ検出チャンネルは、レート16/17 ($d=0$, $G=6/I=7$) 変調コードに従い、入来するデジタル情報の値をコード化されたデジタル情報の値のシーケンスにコード化するためのエンコーダおよびブリコーダを含む、請求項1に記載のEPR4検出器。
 【請求項9】 デジタル情報記憶および検索チャンネルであって、予め定められた変調コードに従い情報の値をコード化されたデジタル情報の値のシーケンスにコード化するためのエンコーダおよびブリコーダと、コード化されたデジタル情報の値を磁気データ記憶媒体に書込むためのデータ書込チャンネルと、磁気データ記憶媒体からの信号の流れを受取るための、信号の流れをPR4スペクトルに等化するPR4等化器回路を含むPR4等化サンプリングデータ検出チャンネルと、等化された信号の流れからの同期のデジタルサンプルを与えるためのデジタルサンブラとを含み、さらに、
 コード化されたデジタル情報の値の推定されたシーケンスを発生するため、およびPR4トレリスを通るその他の経路に関連するその他の経路情報を発生するための、同期デジタルサンプルを受取るために接続されるPR4ビタビ検出器と、

PR4ビタビ検出器およびPR4等化サンプリングデータ検出チャンネルに接続されるポストプロセッサとを含み、ポストプロセッサは、
 EPR4トレリスを通る状態のシーケンスを含むPR4経路に対応するコード化されたデジタル情報の値の推定されたシーケンスを受取りストアするためのPR4経路記憶回路と、
 PR4経路記憶回路にストアされたEPR4トレリスを通るPR4経路から分岐する1組のエラー事象からの重複しないエラー事象を発生するためのPR4ビタビ検出器からのその他の経路情報を受取るためのエラー事象選択回路と、
 EPR4トレリスを通るPR4経路から分岐する重複しないエラー事象を訂正するため、およびコード化されたデジタル情報の値の推定されたシーケンスの訂正されたものを出力するための、PR4経路記憶回路およびエラー事象選択回路に接続される経路訂正回路とを備える、デジタル情報記憶および検索チャンネル。
 【請求項10】 PR4等化サンプリングデータ検出チャンネルはさらに、デジタルサンブラとPR4ビタビ検出器との間に接続されるデジタル有限インパルス応答フィルタを含み、ポストプロセッサはデジタル有限インパルス応答フィルタの出力に接続される、請求項9に記載のデジタル情報記憶および検索チャンネル。
 【請求項11】 予め定められた変調コードはレート16/17 ($d=0$, $G=6/I=7$) 変調コードを含む、請求項9に記載のデジタル情報記憶および検索チャンネル。
 【請求項12】 レート16/17 ($d=0$, $G=6/I=7$) 変調コードの逆に従ってコード化されたデジタル情報の値の推定されたシーケンスの訂正されたものをデコードするためのポストコーダおよびデコーダをさらに含む、請求項9に記載のデジタル情報記憶および検索チャンネル。
 【請求項13】 PR4ビタビ検出器は、PR4等化サンプリングデータ検出チャンネルからの奇数および偶数のデジタルサンプルを受取るために接続され、ビットによる2つのインタリーブされる $(1-D')$ ビタビ検出器を含み、前記インタリーブされる $(1-D')$ ビタビ検出器の各々は、 $(1-D')$ トレリスを通る経路に対応する推定された入力シーケンス、および $(1-D')$ トレリスを通るその他の経路に関連するその他の経路情報を出力する、請求項9に記載のデジタル情報記憶および検索チャンネル。
 【請求項14】 インタリーブされる $(1-D')$ ビタビ検出器の各々は、前記インタリーブされる $(1-D')$ ビタビ検出器の各々内における分岐する残存経路の存在および不在のうち一方を、 $(1-D')$ トレリスを通るその他の経路に関連する前記その他の経路情報として示す二進マージシンボルを出力する、請求項13に

記載のデジタル情報記憶および検索チャネル。

【請求項15】 ポストプロセッサ内のエラー事象選択回路は、

EPR4トレリスを通るPR4経路から分岐する複数のエラー事象に対し距離を計算し比較するための距離計算および比較回路と、

重複しないエラー事象を識別して、1組のエラー事象内のエラー事象に対する前記距離を、時間のウィンドウにわたり観測された最良のエラー事象に対応するエラー事象に対する距離と比較することにより訂正するための、
10 重複しないエラー事象識別回路とを含む請求項14に記載のデジタル情報記憶および検索チャネル。

【請求項16】 距離計算および比較回路により距離が計算される1組のエラー事象は、

EPR4トレリスを通るPR4経路に沿う状態のシーケンスにおける各状態で終わる最良のタイプBの最小距離*

1	および	0
1×1	および	0×0
1×1×1	および	0×0×0
1×1×1×1	および	0×0×0×0
1×1×1×1×1	および	0×0×0×0×0
1×1×1×1×1×1	および	0×0×0×0×0×0
1×1×1×1×1×1×1	および	0×0×0×0×0×0×0
1×1×1×1×1×1×1×1	および	0×0×0×0×0×0×0×0

を間違えることに相当し、上記において×は「ドントケア」状態を示し、タイプAのエラー事象は以下の入力シーケンス、

101	および	010
1010	および	0101
10101	および	01010
101010	および	010101
1010101	および	0101010
10101010	および	01010101

を間違えることに相当する、請求項16に記載のデジタル情報記憶および検索チャネル。

【請求項18】 PR4経路記憶回路は、

奇数および偶数のインタリーブPR4ビタビデコードからのマージビットを受取り遅延させるために接続されるマージビットメモリと、

奇数および偶数のインタリーブPR4ビタビ検出器からの書込電流サンプルを受取り遅延させるために接続されるPR4判断メモリとを含み、エラー事象選択回路は、エラー事象を有効化するためにマージメモリおよびPR4判断メモリに接続されるエラー事象有効化回路と、
40 奇数および偶数のインタリーブエラー距離信号を計算するためにマージメモリ、PR4判断メモリおよびエラー事象有効化回路に接続されるエラー事象距離発生回路と、

奇数および偶数のインタリーブエラー距離信号を比較するため、および最大のエラー事象距離により識別される

*エラー事象と、

EPR4トレリスを通るPR4経路に沿う状態のシーケンスにおける各状態で終わる、最良のタイプBの最小距離エラー事象および最良のタイプAの最小距離エラー事象と、

EPR4トレリスを通るPR4経路に沿う状態のシーケンスにおける各状態で終わる、最良のタイプBの最小距離エラー事象および最良のタイプAのエラー事象とのうち1つを含み、ここで最良のタイプAのエラー事象は最小距離エラー事象ではない、請求項15に記載のデジタル情報記憶および検索チャネル。

【請求項17】 コード化されたデジタル情報の値のシーケンスはレート16/17 ($d=0$, $G=6/I=7$) 変調コードに従い、タイプBのエラー事象は以下の入力シーケンス、

ものとして現在の最良のエラー事象を決定するためのエラー事象比較回路とを備え、経路訂正回路は、

現在の差分距離を現在の最良のエラー事象から計算するため、現在の差分距離をタイミングウィンドウ内での最良の差分距離と比較するため、および更新された最良の差分距離を選択し保存するための更新最良エラー事象回路と、
30

更新された最良のエラー事象の差分距離により識別されるエラー事象内で発生するすべてのシンボルエラーを訂正するため、および訂正されたシンボルをコード化されたデジタル情報の値の推定されたシーケンスの訂正されたものとして出力するための、マージビットメモリ、PR4判断メモリおよび更新最良エラー事象回路に接続される最良エラー事象訂正回路とを有する、請求項14に記載のデジタル情報記憶および検索チャネル。

【請求項19】 PR4等化サンプリングデータ検出チャネルにおけるEPR4検出方法であって、

PR4等化サンプリングデータ検出チャネルからPR4ビタビ検出器へのデジタルサンプルを受取り、PR4トレリスを通る決定された経路およびPR4トレリスを通るその他の経路に関連するその他の経路情報に対応する、コード化されたデジタル情報の値の推定されたシーケンスをPR4ビタビ検出器内で発生するステップと、
40 以下のさらなるステップに従い、PR4ビタビ検出器およびPR4等化サンプリングデータ検出チャネルに接続されたポストプロセッサ内で、コード化されたデジタル

情報の値の推定されたシーケンスおよびその他の経路情報をポストプロセス処理するステップとを含み、さらなるステップとは、

PR4経路記憶回路内のEPR4トレリスを通る状態のシーケンスを含むPR4経路に対応するコード化されたデジタル情報の値の推定されたシーケンスを受取りストアするステップと、

PR4ビタビ検出器からのその他の経路情報を受取り、エラー事象選択回路内のPR4経路記憶回路にストアされたEPR4トレリスを通るPR4経路から分岐する1組のエラー事象から重複しないエラー事象を発生するステップと、

PR4経路記憶回路およびエラー事象選択回路に接続される経路訂正回路内でEPR4トレリスを通るPR4経路から分岐する重複しないエラー事象を訂正し、コード化されたデジタル情報の値の推定されたシーケンスの訂正されたものを出力するステップとである、EPR4検出方法。

【請求項20】 PR4等化サンプリングデータ検出チャネルからビットによる2つのインタリーブされる(1-D')ビタビ検出器への奇数および偶数のデジタルサンプルを受取り、ビットによるインタリーブされる(1-D')ビタビ検出器各々からの、(1-D')トレリスを通る経路に対応する推定された入力シーケンスおよび(1-D')トレリスを通るその他の経路に関連するその他の経路情報を出力するステップをさらに含む、請求項19に記載のEPR4検出方法。

【請求項21】 分岐する残存経路の存在および不在のうち一方を、(1-D')トレリスを通るその他の経路に関連する前記その他の経路情報として示す二進マージシンボルをビットによるインタリーブされる(1-D')ビタビ検出器各々から出力するステップをさらに*

1	および	0
1×1	および	0×0
1×1×1	および	0×0×0
1×1×1×1	および	0×0×0×0
1×1×1×1×1	および	0×0×0×0×0
1×1×1×1×1×1	および	0×0×0×0×0×0
1×1×1×1×1×1×1	および	0×0×0×0×0×0×0
1×1×1×1×1×1×1×1	および	0×0×0×0×0×0×0×0

の間違いを決定するステップを含み、上記において×は「ドントケア」状態を示し、タイプAのエラー事象を決定するステップは以下の入力シーケンス、

101	および	010
1010	および	0101
10101	および	01010
101010	および	010101
1010101	および	0101010
10101010	および	01010101

の間違いを決定するステップを含む、請求項23に記載

*含む、請求項20に記載のEPR4検出方法。

【請求項22】 ポストプロセッサ内のエラー事象選択回路内のEPR4トレリスを通るPR4経路から分岐する複数のエラー事象に対する距離を計算および比較するステップと、

重複しないエラー事象を識別して、1組のエラー事象内のエラー事象に対する前記距離を、ポストプロセッサ内の重複しないエラー事象識別回路内の時間のウィンドウにわたり観察された最良のエラー事象に対応するエラー事象に対する距離と比較することにより訂正するステップとをさらに含む、請求項21に記載のEPR4検出方法。

【請求項23】 距離計算および比較ステップにより距離が計算される1組のエラー事象は、

EPR4トレリスを通るPR4経路に沿う状態のシーケンスにおける各状態で終わる最良のタイプBの最小距離エラー事象と、

EPR4トレリスを通るPR4経路に沿う状態のシーケンスにおける各状態で終わる最良のタイプBの最小距離エラー事象および最良のタイプAの最小距離エラー事象と、

EPR4トレリスを通るPR4経路に沿う状態のシーケンスにおける各状態で終わる最良のタイプBの最小距離エラー事象および最良のタイプAのエラー事象とのうち1つを決定するステップを含み、ここで最良のタイプAのエラー事象は必ずしも最小距離エラー事象ではない、請求項22に記載のEPR4検出方法。

【請求項24】 コード化されたデジタル情報の値のシーケンスはレート16/17(d=0, G=6/I=7)変調コードに従い、タイプBエラー事象を決定するステップは以下の入力シーケンス、

のEPR4検出方法。

【請求項25】 PR4等化サンプリングデータ検出チャネルに入来するデジタル情報の値を、レート16/17(d=0, G=6/I=7)変調コードに従い、コード化されたデジタル情報の値のシーケンスにコード化するステップをさらに含む、請求項19に記載のEPR4検出方法。

【請求項26】 レート16/17(d=0, G=6/I=7)変調コードの逆に従い、コード化されたデジタル情報の値の推定されたシーケンスの訂正されたものを

デコードするステップをさらに含む、請求項25に記載のEPR4検出方法。

【発明の詳細な説明】

【0001】

【発明の概要】本発明は磁気記録および再生チャネルなどのサンプリングデータ検出チャネルにおける情報の検出に関する。より特定的には、本発明は二進入力拡張部分応答クラス4 (EPR4) チャネルのための、複雑性が減じられたポストプロセッサに関する。

【0002】

【発明の背景】記録密度を高めるために、磁気記録チャネルの設計者はアナログピーク検出方法からサンプリングデータ検出方法へと切換えている。サンプリングデータ検出システムでは、読出信号は $1/T$ (T はチャネルシンボルの長さを表わす) というチャネルレートでフィルタ処理およびサンプリングされる。このような方法は部分応答最大尤度 (PRML) と呼ばれる。最も一般的なPRMLシステムではフィルタを用いて読出信号を部分応答クラス4 (PR4) 信号に等化する。PR4チャネルの離散時間伝達関数は $(1-D^2)$ であり、ここで D は単位時間を T とした場合の単位時間遅延演算子を表わす。したがって、PR4チャネルの雑音のない出力は、入力信号から、入力信号を $2T$ だけ時間を遅延させたものをマイナスしたものに等しい。PRMLシステムでは、雑音の多い部分応答チャネルの出力はチャネルレートでサンプリングされ、ビタビ検出器を用いて検出される。典型的には、ビタビ検出器は、ゼロ平均で、累積的に独立し同一的に分布するガウス雑音におけるサンプリング部分応答チャネルの最大尤度検出のために設計される。

【0003】PR4 $(1-D^2)$ チャネルは、ビットによる、インタリーブする2つの $(1-D')$ チャネルと等しく、各々のチャネルはチャネルレートの2分の1で動作し、 D' は単位時間を $2T$ とした単位時間遅延演算子であり、すなわち $D' = D^2$ となる。 $(1-D')$ チャネルのためのビタビ検出器の実現では複雑度が低いため、PR4チャネルのためのビタビ検出器は、 $(1-D')$ チャネルのための2つのビタビ検出器をインタリーブすることにより実現されることが多い。こうすればPR4ビタビ検出器はチャネルレートの2分の1で動作するため、超大型集積 (VLSI) 回路において高速エレクトロニクスを実現する際に技術上の困難に遭遇する前にチャネルレートを大幅に増大させることができる。2つのインタリーブされる $(1-D')$ ビタビ検出器を採用するPR4ビタビ検出器の例が、本明細書に引用により援用する、同一譲受人に譲渡されるニューエン (Nguyen) の米国特許第5,341,387号「ディスクドライブにおけるPRMLクラス4のためのビタビ検出器 (Viterbi Detector for PRML Class IV in Disk Drive)」にみられるだろう。

【0004】最近では、最大尤度検出を用いた部分応答クラス4 (PR4ML) よりも性能のよい、磁気記録のためのサンプリングデータ検出技術への関心が高まっている。磁気記録チャネルにおける雑音は、信号を部分応答信号に等化するのに用いられるフィルタにより着色されるため、部分応答チャネルのサンプリングされた出力を悪化させる雑音は、累積的で相関するガウス雑音として説明するのがより正確である。典型的に、雑音の相関性を考慮しないビタビ検出器を用いると、雑音の相関性は性能を低下させる。しかしながら、ビタビ検出器に雑音の相関性の効果を含ませることはめったに行なわれない、というのもそうすれば非常に複雑になるためである。磁気記録チャネルの周波数応答との整合性がより高い部分応答チャネルを選択することにより、この雑音の相関性による性能の低下を最小にすることができる。

【0005】最大の半分でパルス幅につき2つのチャネルシンボルを上回る、 $PW50/T > 2.0$ という、正規化された記録密度では、磁気記録チャネルの周波数応答は、PR4チャネルよりもEPR4チャネルの周波数応答に似ている。離散時間伝達関数 $(1+D-D^2-D^3)$ である、拡張部分応答クラス4 (EPR4) チャネルは、PR4チャネルよりも低周波数部分が多く高周波数部分が少ない。最大尤度検出を用いた拡張部分応答クラス4 (EPR4ML) により、記録密度がより高い場合は高性能となるが、その理由は磁気記録チャネルをEPR4チャネル応答に等化すると、高周波数の雑音の増大が少ないからである。しかしながら、上記のPR4ビタビ検出器と異なり、EPR4ビタビ検出器を、チャネルレートの2分の1で動作する2つの独立しインタリーブされる複雑性の低い検出器に分割することはできない。したがって、磁気記録システムにおいてEPR4MLを実現する際の主な欠点は、EPR4ビタビ検出器はPR4ビタビ検出器よりも遙に複雑であり、実用化には多大な費用がかかることであった。

【0006】時間 nT に相当するサンプル時間 n では、入力シンボルは $x[n]$ であり、EPR4チャネルの雑音のない出力は、 $y_{EPR4}[n] = x[n] + x[n-1] - x[n-2] - x[n-3]$ によって与えられる。入力シンボルは二進であるため、 $-2, -1, 0, 1$ および 2 という5つのチャネル出力シンボルの可能性がある。チャネル出力シンボルはまた、雑音のないEPR4サンプルまたは理想的なEPR4サンプルと呼ばれる。EPR4チャネルは、最後の3つの二進入力シンボル、 $s[n] = \{x[n-3], x[n-2], x[n-1]\}$ の8つの可能性のある値に相当する8つの状態を有する。EPR4チャネルに対する状態遷移図は、二進入力シンボルと状態との可能な組合せすべてに関連するチャネル出力シンボルおよび次の状態を示す。状態遷移図に時間軸を加えることにより、トレリス図が得られる。トレリスの各深さは、1つのチャネルレートクロッ

ク周期を表わす。クロック周期 n の初めの時点では、EPR4チャンネルを可能性のある8つの状態のいずれとすることもできる。特定のな状態が与えられると、二進入力シンボルの値次第で可能な次の状態は2つある。トレリスを通した経路はすべての可能な二進入力シーケンスを表わす。

【0007】ビタビ検出器を実現する標準的な方策は、ビタビアルゴリズムを用いて、雑音の多いサンプルのシーケンスと雑音のないサンプルのすべての可能なシーケンスとの間の2乗されたユークリッド距離を最小とすることである。ビタビアルゴリズムとは、トレリスを通る最小距離の経路を求めるための反復アルゴリズムであり、この場合の距離とは2乗ユークリッド距離である。各クロックサイクルの間、EPR4ビタビ検出器は8つの状態距離を更新し、8つの状態各々に対し1つの残存経路を選択する。残存経路というのは、特定のな状態に到る最小距離の経路を表わし、状態距離とはその残存経路に関連する距離を表わす。8つの状態距離を更新するためには、検出器は残存経路を延長させて次のトレリスの深さにおける各状態への2つの経路を得る。状態距離を分岐距離に加算することにより経路距離が得られ、この分岐距離とは、現在の雑音の多いサンプルと、分岐に関連する雑音のないサンプルとの間の2乗ユークリッド距離を表わす。各状態に入る2つの経路に関連する経路距離は比較され、最小距離の経路が残存経路として選択され、この経路に対する経路距離は新しい状態距離として選択される。各クロックサイクルの間、16の経路距離が計算され、8つの比較が行なわれる。

【0008】現在のVLSI技術において所望のチャンネルレートで状態距離を更新するのに必要とされる直列操作を行なうことが不可能であれば、各状態に入る4つの分岐を備える8状態のトレリスを用いることにより、チャンネルレートの2分の1でビタビアルゴリズムを実現することができる。この場合、各トレリスの深さは2つのチャンネルレートクロックサイクルを表わす。クロック周期はこの方策では2倍となるが、操作の総数は2倍を上回る。したがって、実現するにはチャンネルレートを増大させることに関連する費用が多くなる。

【0009】EPR4ビタビ検出器を実現するための別の方法は、たとえば、クナッドソン (Knudson)、ウルフ (Wolf)、およびミルステイン (Milstein) による、「EPR4チャンネルのための最大尤度検出器のダイナミックスレシヨルド実現 (Dynamic Threshold Implementation of the Maximum-Likelihood Detector for the EPR4 Channel)」、IEEE GlobeCom '91 Conf. Record, Vol. 3, GlobeCom、アリゾナ州フェニックス、1991年12月、頁60B. 1. 1-60B. 1. 5で述べられている。差分距離とは、特定のな状態に入る2つの経路の距離間の相違として規定される。差分距離の符号は、2つの経路距離の比較に等しい。この方策では、各

クロックサイクルの間8つの差分距離が更新される。不運なことに、差分距離の実現は、EPR4ビタビ検出器の標準的な状態距離の実現よりも複雑さはわずかに小さいだけである。

【0010】EPR4ビタビ検出器の複雑性を減じさせる1つの方法は、判断のフィードバックを利用して最後についてくる干渉するシンボルを取去ることである。この方策を用いれば、トレリスにおける状態の数は、残余の2つの干渉するシンボルに相当する4つに減じられる。EPR4の等化されたサンプルは、最後の干渉シンボルを取除くローカルな判断フィードバックを備える4状態のトレリスを用いて検出される。不運にも、最後の干渉シンボルはチャンネル応答におけるエネルギーに多大に寄与するため、EPR4のためのこの判断フィードバック方策の性能は劣ったものになる。その結果、この判断フィードバック方策では、PR4ML検出チャンネルから得られるものよりも遙に優れた結果をもたらすことができない。一般に、判断フィードバック方策は、フィードバックされるについてくる干渉シンボルからのエネルギーの寄与がより少ない等化器のターゲットに適している。

【0011】別の実現方策は、PR4ビタビ検出器、続いてEPR4のためのポストプロセッサを用いることである。最大尤度の性能にほぼ近いものを達成するEPR4チャンネルのためのポストプロセッサは、ウッド (Wood) による、「ターボPRML: 妥協EPRML検出器 (Turbo PRML: A Compromise EPRML Detector)」、IEEE Trans. on Magnetics、第6号29巻、1993年11月、頁4018-4020で述べられている。ターボPRMLポストプロセッサ技術では、PR4等化サンプルは、二進入力シーケンスの予備的な推定を生み出すPR4ビタビ検出器に送られる。次に、予備推定はポストプロセッサに送られて、二進入力シーケンスの推定の最終的に改良されたものをもたらす。

【0012】ポストプロセッサは、重複しない最小距離のエラー事象を修正することにより、予備推定を向上させる。ポストプロセッサはEPR4ビタビ検出器と同じ距離を用いるため、最小距離のエラー事象を修正するのに用いられる標準は、EPR4ビタビ検出器において残存経路を選択するのに用いられる標準と同じである。ポストプロセッサの方策では、PR4ビタビ検出器からの予備推定を利用し、PR4経路と呼ばれることになる、8状態EPR4トレリスを通る経路を示す。PR4経路に沿う各状態で、ポストプロセッサは、その特定のな状態で終端をなすすべての可能な最小距離エラー事象に対しエラー事象距離を計算する。エラー事象距離は、PR4経路に対する経路距離と、PR4経路から分岐してこの特定のな状態で初めて合流する競争経路との相違に関連する。競争経路は、PR4経路および競争経路が最小距離によって分割されるように設定される、すなわち2つの経路における雑音のない信号間の2乗のユークリッ

10

20

30

40

50

ド距離は、EPR4トレリスにおける何らかの2つの経路間の可能な最小の値である。PR4チャンネルにおける雑音は、PR4経路を選択する際にPR4ビタビ検出器によるエラーを生じさせるかもしれない。EPR4チャンネルでは雑音の高まりが少ないため、ポストプロセッサは、PR4経路よりも競争経路を選択することによりこのエラーを修正することができる。最小距離のエラー事象のみが発生し、少なくとも、最小距離エラー事象の最も長いものの距離により分割されると仮定すると、EPR4ポストプロセッサの出力はEPR4ビタビ検出器の出力に等しい。

【0013】EPR4ビタビ検出器はPR4経路ではなく競争経路を選択しているため、特定の競争経路に対する経路距離が、PR4経路に対する経路距離よりも小さければ、その競争経路は可能なエラー事象に適する。すべてのエラー事象距離が計算され、比較され、適するようにされた後、現在の状態で終端をなす最も確からしいエラー事象が選択される。重複するエラー事象を修正することを避けるために、ポストプロセッサは、現在の時間に先行する時間のウィンドウ内で何らかの状態で終端をなす最も確からしいエラー事象を追跡する。ここでウィンドウの長さは最小距離のエラー事象の最大の長さに等しい。現在の状態で終端をなす最も確からしいエラー事象が、ウィンドウにストアされた最高のエラー事象よりも確からしければ、ウィンドウにおける最高のエラー事象が更新され、現在の状態で終端をなすエラー事象に相当するものとなる。ウィンドウにおける最高のエラー事象は、ウィンドウにおける最も古い状態で終端をなすエラー事象に相当するときのみ修正される。

1	および	0
1×1	および	0×0
1×1×1	および	0×0×0
1×1×1×1	および	0×0×0×0
1×1×1×1×1	および	0×0×0×0×0

を間違えることに相当する。

【0015】レート8/9 (0, 4/4) 変調コードに対し、ターボPRMLポストプロセッサは、6つの加算器および10個の比較器からなる。この回路は、4つの加算器および4つの比較器から構成されるPR4ビタビ検出器に加えられるものである。全体として必要な回路は必然的に、10個の加算器および14個の比較器を含む。比較として、EPR4ビタビ検出器は14個の加算器および8つの比較器を必要とする。ウッドの文献において述べられているターボPRMLポストプロセッサは、従来のEPR4ビタビ検出器よりも複雑であるため、上記の文献において述べられているポストプロセッサを用いても費用の面では利点はあまりない。

【0016】しかしながら、ポストプロセス方策においての主な利点は、ビタビ検出器における更新プロセスに関連するフィードバック経路が排除され、さらなるバイ

*【0014】EPR4トレリスでは最小距離エラー事象には2つの明確なタイプがあり、ここでは「タイプA」および「タイプB」と呼ぶ。レート8/9 ($d=0, G=4/I=4$) の変調コードに対し、特定の状態で終端をなす9つの可能な最小距離エラー事象があり、このうち4つは「タイプA」であり5つは「タイプB」である。このコードに対し、 $1/(1 \times D^2)$ プリコードに従う書込電流は、以下の条件を満たす。(注: 上記*は+記号を○記号で囲んだ記号とみなす。) プリコードへの入力でのインタリーブ制約、 $I=4$ は偶数または奇数のインタリーブされる書込電流シーケンスにおいて、最高で5つの連続する1または0があることを示しており、すなわち、×がドントケアを示す部分列 $1 \times 1 \times 1 \times 1 \times 1$ および $0 \times 0 \times 0 \times 0 \times 0$ は書込電流シーケンスにおいて許されていない。プリコードへの入力でのグローバル制約、 $G=4$ は、グローバルな書込電流シーケンスにおいて、最高6つの、連続する1もしくは0、または0および1の交番を示しており、すなわち部分列 $11111111, 00000000, 101010101$ 、および 010101010 は許されない。このコードに対し、4つの「タイプA」のエラー事象は、以下の書込電流シーケンス、すなわち

101	および	010
1010	および	0101
10101	および	01010
101010	および	010101

を間違えることに相当する。5つの「タイプB」のエラー事象は、以下の書込電流シーケンス、すなわち

0
0×0
0×0×0
0×0×0×0
0×0×0×0×0

ブライン化およびより高いチャンネルレートが可能になることである。さらに、レートが2分の1のクロックを用い、2分の1レートのクロック周期中に2つの連続する状態で終端をなすすべての最小距離エラー事象を考慮することにより、ターボPRMLポストプロセッサを修正してさらに速いチャンネルレートで動作させることができる。レート8/9 (0, 4/4) のコードに対し、ターボPRMLポストプロセッサは、2分の1のチャンネルレートで動作するときには10個の加算器および18個の比較器を必要とする。PR4ビタビ検出器を含めると、動作の総数は14の加算器および22の比較器となる。

【0017】ポストプロセス方策は、スピードと複雑性とを交換して、高速データレート応用により適するものとなる。データレートをさらに増大させるために、さらに大きなグローバルおよびインタリーブ制約を伴う高速レートの変調コードを用いることができる。しかしなが

ら、制約が緩い場合可能なエラー事象の数を増大させることにつながる。ターボPRMLポストプロセッサは、可能な最小距離エラー事象各々に対しエラー事象距離を計算するのに用いられるハードウェアを有するため、ターボPRMLポストプロセッサにおける動作の数をさらに増大させることになる。

【0018】簡素化された部分エラー応答検出(SPERD)と呼ばれる、複雑性が減じられたEPR4ポストプロセッサは、1994年6月のインターマグ(INTERMAG)会議におけるポスターセッションにおいてヤマカワ(Yamakawa)およびニシヤ(Nishiya)によって提示された。彼らは、PR4経路に沿う各状態で終端をなす2つのタイプBのエラー事象のみを考慮することにより、ターボPRMLポストプロセッサの複雑性を減少させた。短いエラー事象の方が長いエラー事象よりも起こりやすいため、この方策では、1つまたは2つのシンボルエラーを発生することに相当する2つの最も短い最小距離エラー事象のみを考慮する。SPERD方策では、考慮される2つのうちの1つではないエラー事象の可能性が非常に低いときのみ、性能が向上する可能性がある。この方策の1つの欠点は、レート8/9(0、4/4)コードよりも制約の緩い変調コードが用いられるとき、長いエラー事象の可能性が増大することである。したがって、SPERD方策は、複雑性を大きく減じる際に、本質的に性能を低下させるものである。

【0019】このように、EPR4ビタビ検出器と比較して性能を大きく低下させない、複雑性が減じられたEPR4ポストプロセッサというものが必要とされているが今まではまだ実現されていない。

【0020】

【発明の概要および目的】本発明の目的は、先行技術における制限および欠点を克服する態様で、性能が劣化することなく必要な計算が大幅に減少した、EPR4チャンネルのための複雑性が減じられたポストプロセッサを実現することである。

【0021】本発明の別の目的は、既にPR4ビタビ検出器で行なわれた計算を利用して、ポストプロセッサにおいて必要な計算の数を減少させ、先行技術による制限および欠点を克服する、EPR4チャンネルのための複雑性が減じられたポストプロセッサを提供することである。

【0022】本発明のさらに別の目的は、変調コードの制約から独立した、わずか7つの加算器および2つの比較器しか必要としない、EPR4チャンネルのための複雑性が減じられたポストプロセッサを提供することである。PR4ビタビ検出器およびポストプロセッサを含むEPR4検出器の実現全体では、わずか11個の加算器および6個の比較器しか必要とせず、従来のEPR4ビタビ検出器の状態距離実現に対し複雑度については約23%減少することになる。

【0023】本発明のさらなる目的は、12個の加算器および4個の比較器を用いて2分の1のチャンネルレートで動作することができる、EPR4チャンネルのための複雑性が減じられたポストプロセッサを提供することである。PR4ビタビ検出器およびポストプロセッサを含むEPR4検出器の実現全体では、わずか16個の加算器および8個の比較器しか必要とせず、これは最大レートのEPR4ビタビ検出器の複雑性に匹敵する。しかしながら、本発明の速度は2倍である。

【0024】本発明は、サンプリングデータ検出チャンネルのための検出器において実現され、検出器は、2つのインタリーブされる(1-D')ビタビ検出器を用いて実現されるPR4ビタビ検出器を含み、偶数の(1-D')ビタビ検出器への入力、偶数のサンプリング時間でのPR4等化チャンネルのサンプリング出力であり、奇数の(1-D')ビタビ検出器への入力、奇数のサンプリング時間でのPR4等化チャンネルのサンプリング出力であり、偶数の(1-D')ビタビ検出器の出力は、偶数のインタリーブに関連する推定された二進入力シーケンス、および偶数の(1-D')ビタビ検出器における分岐する残存経路を示す二進マージンシンボルを含み、奇数の(1-D')ビタビ検出器の出力は、奇数のインタリーブに関連する推定された二進入力シーケンス、および奇数の(1-D')ビタビ検出器における分岐する残存経路を示す二進マージンシンボルを含み、検出器はさらに、PR4ビタビ検出器およびPR4等化チャンネルのサンプリング出力に接続されるポストプロセッサを含み、PR4等化チャンネルは、PR4ビタビ検出器の出力により決定される「ベストタイプA」および「ベストタイプB」の特定のな状態で終端をなす最小距離エラー事象に対しエラー事象距離を計算および比較するための回路と、最小距離エラー事象の最大のものの長さに等しい、時間のウィンドウにわたって観測される「ベスト(最良)」の最小距離エラー事象を修正するための回路とで構成される。

【0025】本発明のこれらおよびその他の目的、利点、局面および特徴は、添付の図面と関連付けて提示される好ましい実施例の詳細な説明を考慮することにより、より十分に理解および認識されるであろう。

【0026】

【好ましい実施例の詳細な説明】EPR4チャンネルは、離散時間伝達整式 $(1 + D - D^2 - D^3)$ を有する。時間jでは、チャンネルへの二進入力 $x[j]$ であり、EPR4チャンネルの状態は、 $s[j] = \{x[j-3], x[j-2], x[j-1]\}$ である。EPR4チャンネルの出力は、 $y_{EPR4}[j] = x[j] + x[j-1] - x[j-2] - x[j-3]$ で与えられる。図1は、EPR4チャンネルの離散時間モデルを示す。図2は、EPR4チャンネルに対する8状態の状態図を表わし、ここで分岐におけるラベルは、二進入力シンボル続いてチャネ

ル出力シンボルを表わしている。

【0027】EPR4伝達整式 $(1+D-D^2-D^3)$ は、 $(1-D)(1+D)^2$ と表わすことができ、この式における $(1-D)$ という因子は、このチャンネルがDCでスペクトルの空を有することを示し、2つの $(1+D)$ 因子は、このチャンネルがナイキスト周波数、 $1/(2T)$ で2次のスペクトルの空を有することを示している。PR4伝達整式 $(1-D^2) = (1-D)(1+D)$ は、PR4チャンネルが、DCおよびナイキスト周波数において1次のスペクトルの空を有することを示す。図3に示されるように、EPR4チャンネルでは、2次のスペクトルの空の立下がりレートがより速いために、PR4チャンネルよりも高周波数応答が小さい。

【0028】図4では8状態のEPR4トレリスの2つの深さが示されている。このトレリス図は、図2の状態図に時間軸を加えることによって得られる。典型的には、EPR4ビタビ検出器は、受取ったサンプルと経路に沿う理想的なEPR4サンプルとの間の2乗ユークリッド距離を最小とする、EPR4トレリスを通る経路を発見するように設計される。EPR4ビタビ検出器の出力は、ゼロ平均の、独立し同一的に分布するガウス雑音により妨害される、EPR4チャンネルのための最大尤度シーケンス推定である。ビタビアルゴリズムは、トレリスにおいて各状態に到る、累積される距離が最小の経路を追跡する反復プロセスである。特定のな状態に到るすべての経路の距離の計算および比較が行なわれる。次に、距離が最小である経路が残存経路として選択される。この態様で、トレリスを通る最小距離の一部となることができないすべての経路がシステムで排除される。各状態への残存経路は、経路メモリにストアされる。経路メモリが十分に長ければ、残存経路すべては経路メモリの範囲内で単一の経路から分岐しているだろう。現在の残存経路すべてが分岐するものになる単一の経路が、最小距離の経路である。この経路に関連する入力シーケンスは、ビタビ検出器の出力で現れる。

【0029】2つの雑音のない経路間の2乗ユークリッド距離は、2つの経路における理想的なサンプルの値間の相違を2乗したものの総和に等しい。EPR4トレリスにおいて分岐し再び合流する2つの雑音のない経路間の最小の2乗ユークリッド距離、 d_{\min}^2 は、4に等しい。独立し同一的に分布するガウス雑音の場合、ビタビ検出器において最も発生しやすいエラーは、最小距離により分離される2つのシーケンスを間違えることに相当する。結果として、最小2乗ユークリッド距離を用いて、ビタビ検出器の出力でのエラーの可能性を推定することができる。

【0030】図5を参照して、部分応答、サンプリングデータ検出磁気記録および再生チャンネル10は、たとえばモータ13により回転させられる回転磁気データ記憶ディスク12および、ディスク12において規定される

同心のデータトラック内での選択されたデータ位置に書込むためのおよびディスク12から情報を読み出すためのスライダおよびトランスデューサを有する閉ループサーボ(図示せず)内で動作する回転ボイスコイルアクチュエータ15によりたとえば位置決めされるヘッド14を含む。書込まれる情報(v)は、予め定められた変調コードに従いプリコード回路18内でプリコードされて符号化されたシーケンス(x)が生成され、これは書込ドライバ回路16に与えられる。書込ドライバ回路16は、符号化情報に相当する書込電流をヘッド14に与える。デジタル情報は、周知の磁気飽和記録技術およびヘッドポジショニング技術に従い、ディスク12の記憶表面に規定された選択された同心のデータトラックに記録される。

【0031】再生においては、磁束の遷移はヘッド14の読出素子において誘起され、経路20を通して読出プリアンプ22に与えられる。電圧が制御された利得増幅器(VGA)24は、再生信号を制御して増幅し、またアナログ等化器26を含み入れて何らかの(またはすべての)等化を利得が正規化された再生信号にもたらしめてよい。次にアナログ/デジタル(A/D)コンバータ28はチャンネルレートで再生信号をサンプリングし、再生信号の離散時間サンプルを与える。離散時間有限インパルス応答(FIR)フィルタ30は、サンプルを受取ってこのサンプルをさらに予め定められたスペクトルに等化するだろう。この例のチャンネル10では、FIRフィルタ30は、サンプルをPR4スペクトルに等化する。PR4等化スペクトルは次に、A/Dコンバータ28内におけるサンプリングのレートおよび位相を設定するタイミング制御ループ32を制御するのに与えられ、かつVGA24を制御して正規化された利得を与える利得制御ループに与えられる。PR4等化サンプルはまた、本発明の原理に従い実現および使用される検出器36に与えられる。従来のPR4サンプリングデータ検出チャンネルの一例が、この明細書に引用により援用する、同一譲受人に譲渡される、「デジタル適用等化を伴うPRMLサンプリングデータ検出を用いるディスクドライブ(Disk Drive Using PRML Sampling Data Detection With Digital Adaptive Equalization)」と題される、米国特許第5,341,249号に述べられている。

【0032】図5に示すように、EPR4検出器36は、PR4ビタビ検出器38およびポストプロセッサ40を含む。連続時間磁気記録チャンネルは、PR4信号に等化され、チャンネルレートでサンプリングされる。磁気記録チャンネル10における雑音が付加的なものであると仮定すると、 $r_{PR4}[j]$ で示される、時間jで受取るサンプルは、理想的な雑音のないサンプル $y_{PR4}[j] = x[j] - x[j-2]$ および雑音サンプル $n_{PR4}[j]$ の総和である。受取ったサンプルのシーケンスが与えられると、ビタビ検出器を用いて入力シンボル

の記録されたシーケンス $\{x[0], x[1], \dots, x[j], \dots\}$ を推定する。PR4 ビタビ検出器は、2乗ユークリッド距離という点で、サンプルPR4チャンネルの出力で受取るシーケンスに最も近い理想的な出力シーケンスを発見するために、反復アルゴリズムを用いる。

$\{y^{PR4}[0], y^{PR4}[1], \dots, y^{PR4}[j], \dots\}$ で示される、2乗ユークリッド距離を最小にする推定された出力シーケンスは、 $\{x^{PR4}[0], x^{PR4}[1], \dots, x^{PR4}[j], \dots\}$ で示される推定された入力シーケンスを特定する。(注：以下明細書中で文字の右上に示される[^]記号は文字の直上に示されているものとみなす。) ポストプロセッサは、PR4 ビタビ検出器の出力およびPR4チャンネルのサンプリングされた出力を与えられると、EPR4 ビタビ検出器をエミュレートするように設計されている。 $r^{PR4}[j] = r^{PR4}[j] + r^{PR4}[j+1]$ であるため、ポストプロセッサは、PR4 等化サンプルからEPR4 等化サンプルを決定することができる。ポストプロセッサ40は、PR4 ビタビ検出器の出力での推定された二進入力シーケンスを用いて、EPR4 トレリスを通るPR4 経路を確立する。EPR4 ポストプロセッサの目的は、EPR4 等化サンプルと雑音のないEPR4 サンプルとの間の2乗ユークリッド距離を最小にする、EPR4 トレリスを通る経路を、この経路が重複しない最小距離エラー事象によりPR4 経路から分岐する1組の経路に制限されるとすれば、その経路を発見することである。ポストプロセッサがこの目的を達成すると、 $\{x^{PR4}[0], x^{PR4}[1], \dots, x^{PR4}[j], \dots\}$ で示される、ポストプロセッサの出力での推定される入力シーケンスは、最小距離エラー事象のみが発生しこれらのエラー事象は十分に離れているという条件では、EPR4 ビタビ検出器の出力に等しい。ポストプロセッサ40は、ゼロ平均の独立し同一的に分布するガウス雑音によって悪化させられるEPR4 チャンネルに対する「ほぼ」最大尤度のシーケンス推定である、シーケンス推定(図5における $x^{PR4}[44]$ を生み出す。

【0033】図6に示すように、PR4 ビタビ検出器38は、本明細書に引用により援用する、同一譲受人に譲渡される、「ディスクドライブにおけるPRMLクラス4チャンネルのためのビタビ検出器」と題される、米国特許第5,341,387号に従うものでもよい、2つのインタリーブされる $(1-D')$ ビタビ検出器38Eおよび38Oを用いて実現することができる。信号の流れおよびタイミングの一例として、偶数の $(1-D')$ ビタビ検出器への入力、FIR_EVENを、時間 $k+20$ でのPR4 等化サンプル、 $r^{PR4}[k+20]$ に相当するものとし、奇数の $(1-D')$ ビタビ検出器への入力、FIR_ODDを、時間 $k+21$ でのPR4 等化サンプル、 $r^{PR4}[k+21]$ に相当するものとする。 $(1-D')$ ビタビ検出器の各々は、経路メモリを有し、ここ

から $(1-D')$ トレリスを通る最良の経路と関連する推定された入力シンボルが得られる。図6の例では、経路メモリブロック39Eおよび39Oの出力は、それぞれ $X_EVEN = x^{PR4}[k+4]$ および $X_ODD = x^{PR4}[k+5]$ に対応する。これらの信号は遅延素子41Eおよび41Oにおいて遅延され、 $X_EVEN_D = x^{PR4}[k+2]$ および $X_ODD_D = x^{PR4}[k+3]$ が得られる。信号 X_EVEN , X_ODD , X_EVEN_D および X_ODD_D は次にPR4 ビタビ検出器38からポストプロセッサ40へと送られる。さらに、 $(1-D')$ ビタビ検出器は修正され、 $(1-D')$ ビタビ検出器において分岐する残存経路が存在するかどうかを示す二進マージシンボルを出力する。 $m[i]$ が、時間 i でのPR4チャンネルのサンプリングされた出力と関連するマージシンボルを表わすとする。そうすれば、PR4 ビタビ検出器37Eおよび37Oの出力でのマージシンボルは、それぞれ、 $M_EVEN = m[k+20]$ および $M_ODD = m[k+21]$ に相当する。

【0034】2分の1レートのクロックサイクルの間、インタリーブされる各々の $(1-D')$ ビタビ検出器は、ポストプロセッサ40に推定された二進入力シンボルおよびマージビットを与える。 $(1-D')$ ビタビ検出器内では、2状態のトレリスの1つの深さに対し3つの可能な残存経路が延びる。これら3つとは、状態0から状態1および0への分岐、状態1から状態1および0への分岐、ならびに状態1から状態1および状態0から状態0への並列する経路である。最初の2つの場合については、 $(1-D')$ ビタビ検出器の出力でのマージビットは、分岐の存在を示す1に等しい。最後の場合は、マージビットは、分岐がないことを示す0に等しい。

【0035】PR4 ビタビ検出器からのマージビットがポストプロセッサ40において用いられて、性能を劣化させることなく計算の数を減少させる。 $(1-D')$ ビタビ検出器は、以前の時間において2つの状態に到達する残存経路を延ばすことにより、現在の時間において各々の状態に到達する2つの最良の経路に対する経路距離を比較する。 $(1-D')$ ビタビ検出器における2つの残存経路は交差することができないため、特定のな状態への第2の最良の経路は、最良の経路に関連する入力シンボルおよび第2の最良の経路が最良の経路から分岐する位置がわかれば特定される。したがって、2つの残存経路が分岐する位置は、 $(1-D')$ トレリスにおけるエラー事象の最も起こり得る開始位置を示す。

【0036】本発明の原理に従うポストプロセッサ40の簡潔性を認識するためには、図4のEPR4トレリスにおける2つのタイプの最小距離のエラー事象の特性について論じることが適切である。本発明の文脈では、

「タイプA」の最小距離エラー事象は、推定された書込電流における3つ以上のシンボルエラーの連続したバー

ストを生じさせる。「タイプA」のエラー事象は、交番するシーケンスを、位相が逆の交番シーケンスと間違える、すなわち0101…パターンと1010…パターンとを間違えることに相当する。「タイプB」エラー事象は、推定された書込電流の1つのインタリーブにおける1つ以上のシンボルエラーの連続したバーストを引起こす。「タイプB」エラー事象は、インタリーブにおける1の連続を、0の連続と間違えることまたはその逆、すなわち1×1×1…パターンと0×0×0…パターンとを間違えることに相当し、ここで×はドントケアを示す。図4のEPR4トレリスにおける最小距離エラー事象は有限の長さである可能性があるため、変調コードを用いて、プリコーダへの入力でのグローバルおよびインタリーブシーケンスにおける0のランレングスを制限することにより、最小距離エラー事象の長さを制限する。

【0037】図5に示されるチャネル15は、本明細書に引用により援用する、同時係属中の、「磁気記録チャネルのためのレート16/17 ($d=0$, $G=6/I=7$) 変調コード (A Rate 16/17 ($d=0$, $G=6/I=7$) Modulation Code for a Magnetic Recording Channel)」と題される、米国特許出願 (代理人の書類番号Q95-1008-US1) の教示に従うレート16/17 ($d=0$, $G=6/I=7$) 変調コードを利用する。レート16/17 ($0, 6/7$) 変調コードに対しては、プリコード18に従う書込電流は以下の条件を満たす。偶数または奇数のインタリーブにおいて多くても8つの連続する1または0がある、すなわち $1 \times 1 \times 1 \times 1 \times 1 \times 1 \times 1 \times 1 \times 1$ および $0 \times 0 \times 0 \times 0 \times 0 \times 0 \times 0 \times 0 \times 0$ のパターンは不可である。多くても8つの連続する1および0、またはグローバルシーケンスにおける交番する0および1がある、すなわち 11111111 、 00000000 、 101010101 、および 010101010 というパターンは不可である。レート16/17 ($0, 6/7$) 変調コードを用いると、その結果は、トレリスに沿い所与の状態で終端をなす14個の可能な最小距離エラー事象があることになる。この変調コードを用いると、6つの「タイプA」および8つの「タイプB」の最小距離エラー事象がある。

【0038】8状態のEPR4トレリスにおける「タイプB」のエラー事象は、2つのインタリーブされる(1-D')トレリスのうち1つにおける最小距離エラー事象に相当するが、その理由は(1-D')チャンネルにおける最小距離エラー事象は、1の連続と0の連続とを間違えることに相当するからである。たとえば、0×0を1×1と間違える「タイプB」のエラー事象は、インタリーブされる(1-D')チャンネルのうち1つにおいて00を11と間違えるエラー事象に相当する。(1-D')トレリスにおける最も起こり得るエラー事象は、第2の最良の経路が正しい経路である場合、特定のな状態に入る第2の最良の経路よりも最良の経路を選択する

ことに対応する。言い換えれば、 $(1-D')$ ビタビ検出器において特定のな状態への最良の経路が間違っ
 た経路であれば、第2の最良の経路が正しい経路である可能性
 がある。マージビットは、第2の最良の経路が最良の
 経路から分岐する位置を示し、終端をなす状態は第2の
 最良の経路が最良の経路に再び合流する位置を示す。

(1-D') チャンネルにおいては状態は2つしかないため、最良の経路に沿う二進推定およびエラー事象の初めと終わりの位置は、第2の最良の経路を十分に特定する。インタリーブされる(1-D') トレリスのうち1つにおいて第2の最良の経路よりも最良の経路を選択することに対応する、EPR4トレリスにおけるタイプBのエラー事象は、「ベストタイプB」のエラー事象と呼ばれる。

【0039】8状態のEPR4トレリスにおける「タイプA」エラー事象は、双方のインタリーブされる(1-D')トレリスにおいて同時に発生する2つの最小距離エラー事象に相当する。2つのエラー事象は互いの1つのチャネルクロックサイクル内で開始し、互いの1つのチャネルクロックサイクル内で終了する。さらに、各々のインタリーブに対する最良の経路についての二進推定は、エラー事象の範囲にわたる互いの補数である。たとえば、01010を10101と間違える「タイプA」のエラー事象は、一方のインタリーブにおいて000を111と間違え、他方のインタリーブにおいて11を00と間違えることに相当する。双方のインタリーブされる(1-D')トレリスにおける第2の最良の経路でなく最良の経路を選択することに相当する、EPR4トレリスにおけるエラー事象は、「ベストタイプA」エラー事象と呼ばれる。「ベストタイプA」エラー事象が有効な「タイプA」エラー事象に相当するには、第2の最良の経路は、互いの1つのクロックサイクル内で、それぞれの(1-D')トレリスにおいて最良の経路から分岐せねばならず、合併しない領域にわたる2つの最良経路についての二進入力推定は、互いの補数でなければならない。

【0040】特定のな状態で終端をなす「タイプA」のエラー事象の組は、最小距離ではない1つのエラー事象を含む。各インタリーブにおける1つのシンボルエラーを伴う2つの連続するシンボルエラーに相当する「タイプA」エラー事象は、6という2乗ユークリッド距離を有する。本発明の好ましい実施例では、このエラー事象は考慮に入れない。しかしながら、実施例には僅かな変更しか行わずにこのエラー事象を簡単に含み入れることができる。このエラー事象を含めないことにより、タイプAのエラー事象は最小の長さの要求を満たす必要がある。したがって、「ベストタイプA」エラー事象は、最小距離エラー事象に相当するものになるためには、3つ以上の連続するシンボルエラーに相当せねばならない。

【0041】先行技術において概要が説明されているターボPRML方策を用いると、ポストプロセッサは、レート16/17(0, 6/7)変調コードを用いるときには14のエラー事象距離を計算および比較しなければならないだろう。本発明において説明する複雑性が減じられたポストプロセッサでは、このポストプロセッサは変調コードとは関係なく、2つのエラー事象距離を計算および比較する。このポストプロセッサは、PR4ビタビ検出器からのマージビットを利用して、特定の状態で終わる「ベストタイプA」エラー事象および「ベスト

タイプB」エラー事象を決定する。この態様で、ポストプロセッサは、PR4ビタビ検出器で決定されるように、各々のタイプの最も起こり得るエラー事象を考慮するのみである。

【0042】先行技術において述べられているターボPRML方策は、2分の1のレートで動作するように修正されるときには、トレリスにおいて2つの連続する状態で終端をなす最小距離エラー事象すべての組を考慮する。したがって、ターボPRMLポストプロセッサは、レート16/17(0, 6/7)コードを採用するときには、28のエラー事象距離を計算および比較する必要がある。対照的に、本発明において説明する複雑性が減じられたポストプロセッサ40は、変調コードとは関係なく、4つのエラー事象距離を計算および比較する必要があるのみである。4つのエラー事象距離は、2つの連続する状態で終端をなす「ベストタイプA」および「ベストタイプB」最小距離エラー事象に相当する。

【0043】ポストプロセッサ40は、PR4ビタビ検出器38の出力でのシーケンス推定を利用して、PR4経路と呼ばれる8状態EPR4トレリスを通る経路を特定する。図7の例では、PR4経路は、トレリスを通る実線で示され、分岐は二入力シンボルでラベル付けられている。図7の点線は、この例において示される特定のPR4経路を与えられた場合の、時間iで終端をなす可能な最小距離エラー事象すべてを表わす。この例におけるPR4経路には、時間iで終端をなす僅か4つの可能な最小距離エラー事象しかないが、変調コードにより可能にされる最小距離エラー事象の最大数までなら、任意のPR4経路ではいくつの最小距離エラー事象でも可能である。時間kで終端をなす可能な最小距離エラー事象すべてに対しエラー事象距離を計算する代わりに、ポストプロセッサは、マージビットを用いて、時間kで終端をなす「ベストタイプA」および「ベストタイプB」最小距離エラー事象を決定する。

【0044】ポストプロセスアルゴリズムについて説明するために、表記について規定する。L[i]はシンボルiが占めるインタリーブすなわち偶数のインタリーブにおいて時間iに先行する第1の非ゼロマージビットの位置を表わす。一般性を失うことなく、時間kは偶数を表わすものとする。そうすれば、L[k]は、時間kに

先行する偶数のインタリーブにおける第1の非ゼロマージビットの位置を表わし、L[k]は、すべての $1 \leq n \leq (k-2-L[k])/2$ に対し、条件 $m[L[k]] = 1$ および $m[L[k] + 2n] = 0$ を満たすkよりも小さな偶数である。同様に、L[k+1]は、時間k+1に先行する奇数のインタリーブにおける第1の非ゼロマージビットの位置を表わし、L[k+1]は、すべての $1 \leq p \leq (k-1-L[k+1])/2$ に対し、条件 $m[L[k+1]] = 1$ および $m[L[k+1] + 2p] = 0$ を満たすk+1よりも小さな奇数である。

【0045】(1-D')トレリスには2つの状態しかなく、(1-D')ビタビ検出器における残存経路は交差することができないため、時間L[k]から時間k-2までの偶数のインタリーブにおける二入力推定はすべて互いに等しくなり、 $0 \leq n \leq (k-2-L[k])/2$ に対し、 $x^*[L[k] + 2n] = x^*[k-2]$ となる。同様に、時間L[k+1]から時間k-1までの奇数のインタリーブにおける二入力推定はすべて互いに等しく、 $0 \leq p \leq (k-1-L[k+1])/2$ に対し $x^*[L[k+1] + 2p] = x^*[k-1]$ となる。

【0046】時間kで終わる「ベストタイプB」エラー事象の開始位置はL[k-1]で与えられ、k+1で終わる「ベストタイプB」エラー事象の開始位置はL[k]で与えられる。時間kで終わる「ベストタイプA」エラー事象の開始位置は $\min\{L[k-2], L[k-1]\}$ で与えられ、時間k+1で終わる「ベストタイプA」エラー事象の開始位置は $\min\{L[k-1], L[k]\}$ で与えられる。時間kで終わる「ベストタイプA」エラー事象が有効なタイプAの最小距離エラー事象を表わすためには、以下の条件すなわち $L[k-1] < k-3$, $L[k-2] = L[k-1] \pm 1$, $x^*[L[k-2]] \neq x^*[L[k-1]]$ が満たされねばならない。k+1で終わる「ベストタイプA」エラー事象が有効なタイプAの最小距離エラー事象を表わすためには、以下の条件すなわち $L[k] < k-2$, $L[k-1] = L[k] \pm 1$, $x^*[L[k-1]] \neq x^*[L[k]]$ が満たされねばならない。

【0047】時間jでのEPR4エラー信号、e[j]は、EPR4等化サンプル $r_{EPR4}[j]$ と、理想的なEPR4サンプル $y^*_{EPR4}[j] = x^*[j] + x^*[j-1] - x^*[j-2] - x^*[j-3]$ との相違として規定されるため、 $e[j] = r_{EPR4}[j] - y^*_{EPR4}[j]$ となる。距離は、受取ったサンプルと理想的なEPR4サンプルとの間の2乗ユークリッド距離の2分の1として規定されると仮定すると、EPR4トレリスを通るPR4経路に対する時間jでの経路距離は次式で与えられる。

【0048】

【数1】

$$\frac{1}{2} \sum_{i=0}^j (r_{EPR4}[i] - \theta_{EPR4}[i])^2 = \frac{1}{2} \sum_{i=0}^j (e[i])^2$$

【0049】シーケンス {X[0], X[1], ..., X[j]} および {Y_{EPR4}[0], Y_{EPR4}[1], ..., Y_{EPR4}[j]} が、二入力シンボル、およびPR4経路*

$$\begin{aligned} & \frac{1}{2} \sum_{i=0}^j (r_{EPR4}[i] - Y[i])^2 - (r_{EPR4}[i] - \theta_{EPR4}[i])^2 \\ &= \frac{1}{2} \sum_{i=0}^j (e[i] - Y[i] + \theta_{EPR4}[i])^2 - (e[i])^2 \\ &= \left(\frac{1}{2} \sum_{i=0}^j (Y[i] - \theta_{EPR4}[i])^2 \right) - \sum_{i=0}^j e[i](Y[i] - \theta_{EPR4}[i]) \end{aligned}$$

【0051】競争経路は最小距離分だけPR4経路と異なると仮定すると、上記の等式における最初の項は、2つの雑音のないEPR4経路間の2乗ユークリッド距離の2分の1、 $d_{\min}^2 / 2$ に等しい。第2の項は、エラー事象距離と呼ばれる、EPR4エラー信号の線形的な組合せである。

【0052】emB[j] およびdmB[j] が、それぞれ、時間jで終わる「ベストタイプB」エラー事象に対するエラー事象距離および差分距離を表わすとすれば、 $dmB[j] = d_{\min}^2 / 2 - emB[j]$ となる。同様に、emA[j] およびdmA[j] がそれぞれ、時間jで終わる「ベストタイプA」最小距離エラー事象に対するエラー事象距離および差分距離を表わすとすれば、 $dmA[j] = d_{\min}^2 / 2 - emA[j]$ となる。2乗ユークリッド距離6のタイプAのエラー事象が含まれるとすれば、差分距離の等式における定数は $d^2 / 2$ となり、この d^2 はエラー事象が2つのエラーを生じさせるとすれば6に等しく、さもなければ4に等しい。ポストプロセッサ40の好ましい実施例では、「ベストタイプA」エラー事象は、1組の最小距離エラー事象に制限されるため、 d^2 は常に d_{\min}^2 に等しい。

【0053】差分距離dmB[j] が0未満であれば、※

$$emB[j] = (-1)^{s(j-3)} (-e[j] - e[j-1] + e[L[j-1]+1] + e[L[j-1]])$$

【0056】同じ態様で、時間jで終わる「ベストタイプA」エラー事象に対するエラー事象距離を次式のよう
に表わすことができる。

★

$$\begin{aligned} emA[j] &= (-1)^{s(j-3)} (-e[j] + e[j-2] - e[L[j-1]+2] + e[L[j-1]]) & (L[j-2] > L[j-1] \text{ の場合}) \\ emA[j] &= (-1)^{s(j-3)} (-e[j] + e[j-2] + e[L[j-2]+2] - e[L[j-2]]) & (L[j-2] < L[j-1] \text{ の場合}) \end{aligned}$$

【0058】「ベストタイプB」エラー事象に対するエラー事象距離、emB[j] は常に、有効なタイプBのエラー事象に相当する。しかしながら、エラー事象距離emA[j] は、「ベストタイプA」エラー事象が有効である場合のみ有効となる。

【0059】エラー事象距離を計算する1つの方法は、

* から分岐し時間jで初めて再合流する競争経路と関連する理想的なEPR4サンプルを示すと仮定する。そうすれば、差分距離と呼ばれる、2つの経路に対する経路距離間の相違は次式のようにになる。

【0050】

【数2】

※EPR4ビタビ検出器は、時間jではPR4経路よりも競争経路を選択している。したがって、時間jで終わる「ベストタイプB」エラー事象は、修正のために考慮に入れねばならない可能なエラー事象に適するものとなる。時間jで終わる「ベストタイプA」エラー事象が有効であり、差分距離dmA[j] が0未満であると仮定すれば、時間jで終わる「ベストタイプA」エラー事象は、修正のために考慮に入れねばならない可能なエラー事象として適する。

【0054】時間jで終わる「ベストタイプB」エラー事象に対し、時間L[j-1]より前で2つの経路における二入力シンボルは同じであるため、すべての $i < L[j-1]$ に対し $X[i] = x^*[i]$ となる。時間L[j-1]では、2つの経路の分岐は $X[L[j-1]] \neq x^*[L[j-1]]$ に対応する。 $0 \leq q \leq (j-3-L[j-1]) / 2$ に対し、 $x^*[L[j-1]+2q] = x^*[j-3]$ 、 $X[L[j-1]+2q] = X[j-3]$ であるため、時間jで終わる「ベストタイプB」エラー事象に対するエラー事象距離は次式のように表わすことができる。

【0055】

【数3】

★【0057】

【数4】

EPR4エラー信号e[j] を $(1+D)$ および $(1-D^2)$ フィルタに通し、 $(e[j] + e[j-1])$ および $(e[j] - e[j-2])$ の項を得ることである。フィルタの出力は、項 $(e[L[j-1]+1] + e[L[j-1]])$ および $(e[L[j-1]+2] - e[L[j-1]])$ を含む、フィードバックを伴う

マルチプレクサ入力で制御された遅延素子に送られる。エラー事象距離は、フィルタの出力に遅延要素の出力を加算またはフィルタ出力から減算することにより、符号変更の範囲内で、獲得される。エラー事象距離を計算する代替の方法は、クナッドソンによる、「部分応答チャネルに対する検出およびエラー修正 (Detection and Error-Correction for Partial Response Channels)」、1994年4月、サンディエゴ、カリフォルニア大学、博士論文、頁122-141において述べられている。*

$$\begin{aligned} emB[k] &= (-1)^{s(k-1)}(- (e[k] + e[k-1]) + (e[L[k-1]+1] + e[L[k-1]])) \\ emB[k+1] &= (-1)^{s(k-1)}(- (e[k+1] + e[k]) + (e[L[k]+1] + e[L[k]])) \\ emA[k] &= \\ &(-1)^{s(k-1)}(- (e[k] - e[k-2]) - (e[L[k-1]+2] - e[L[k-1]])) \quad (L[k-2] > L[k-1] \text{ の場合}) \\ &(-1)^{s(k-1)}(- (e[k] - e[k-2]) + (e[L[k-2]+2] - e[L[k-2]])) \quad (L[k-2] < L[k-1] \text{ の場合}) \\ emA[k+1] &= \\ &(-1)^{s(k-1)}((e[k+1] - e[k-1]) + (e[L[k]+2] - e[L[k]])) \quad (L[k-1] > L[k] \text{ の場合}) \\ &(-1)^{s(k-1)}((e[k+1] - e[k-1]) - (e[L[k-1]+2] - e[L[k-1]])) \quad (L[k-1] < L[k] \text{ の場合}) \end{aligned}$$

【0062】(時間k+1で終わるタイプAのエラー事象に対し、次式のとおりでであるため。)

【0063】

【数6】

$$(-1)^{s(k-1)} = -(-1)^{s(k-2)}$$

【0064】好ましい実施例は、チャネルレートの2分の1で動作する単一のクロックを用いて動作し、拡張されたパイプライン化を通して非常に高速であるデータレートを達成するように設計されている。FIRフィルタの出力は、単一の2分の1レートのクロックでクロックされるため、サンプル $r_{PR4}[k]$ および $r_{PR4}[k+1]$ は、同時に出力される。この実施例では、2分の1レートのクロックサイクルにつき、僅か1つの加算または比較動作が必要である。適切なパイプ段を取除くことにより、この実施例を容易に修正して、2分の1レートのクロックサイクルにつきいくつでも動作を行ない、かつ費用面でも効率を上げることができる。

【0065】図6および8に示されるように、本発明の原理に従うポストプロセッサ40の好ましい実施例は、主として以下の7つのブロックから構成される。

【0066】エラー信号発生器ブロック50

マージメモリブロック52

PR4判断メモリブロック54

エラー事象距離発生ブロック56

エラー事象有効化ブロック58

エラー事象比較ブロック60

更新最良エラー事象ブロック62

最良エラー事象訂正ブロック64

エラー信号発生器ブロック50は、PR4ビタビ検出器の出力でPR4等化サンプルおよび推定された入力信号

*この開示を本明細書に引用により援用する。

【0060】ポストプロセッサ40の好ましい実施例では、時間kおよびk+1で終わる、「ベストタイプA」および「ベストタイプB」エラー事象に対するエラー事象距離は、以下のように2分の1レートのクロックサイクルの間に計算される。

【0061】

【数5】

を与えられ、EPR4エラー信号を計算するのに用いられる。図6に示すように、エラー信号発生器50は、2つのサンプル遅延ライン48Eおよび48O、 $(1+D)$ フィルタ46、および理想サンプル発生器42を含む。サンプル遅延ライン48Eおよび48Oは、PR4ビタビ検出器の出力でPR4等化サンプルを推定された書込電流と整列させるのに用いられる。 $(1+D)$ フィルタ46の目的は、入来サンプルのPR4スペクトルからEPR4スペクトルへの等化を完了させることである。FIRフィルタ30からのサンプルは、タイミング制御ループ32、利得制御ループ34およびPR4ビタビ検出器38の利益となるように、PR4スペクトルに等化されている。このように、 $(1+D)$ フィルタ46は、EPR4ポストプロセッサ36のために等化を完了させておく必要がある。理想サンプル発生器50では、PR4ビタビ検出器の出力での推定された入力シーケンスは、 $(1+D-D^2-D^3)$ フィルタを通され、 $IDEAL_EVEN = y^{EPR4}[k+2]$ および $IDEAL_ODD = y^{EPR4}[k+3]$ に相当する、EPR4チャネル出力シンボルを計算する。図6では、PR4等化サンプルFIR_EVENおよびFIR_ODDは、値が-32から31へと変化する6ビットで表わされる。理想的なPR4サンプルが-16、0および16であり、理想的なEPR4サンプルが-32、-16、0、16および32であると仮定すると、集合{-2, -1, 0, 1, 2}におけるEPR4チャネル出力シンボルは16で乗算され、これは左に4シフトすることに相当し、理想的なEPR4サンプルの値が得られる。51で示すように、理想的なEPR4サンプルをEPR4等化サンプルから減算することにより、EPR4エラー

信号が計算される。ERROR_EVEN=e[k] およびERROR_ODD=e[k+1] に対応するEPR4エラー信号は、エラー事象距離発生ブロック56へと送られる。

【0067】EPR4エラー信号を計算する代替方法は、初めに理想的なPR4サンプルをPR4等化サンプルから減算することにより、PR4エラー信号を計算することを含む。次に、PR4エラー信号は(1+D)フィルタを通してEPR4エラー信号が得られる。

【0068】図9はマージメモリブロック52を示す。M_EVEN=m[k+20] およびM_ODD=m[k+21] に対応する、2つの(1-D') ビタビ検出器の出力でのマージビットは、10の2分の1レートのクロックサイクル分速く利用できるため、マージビットはマージメモリ内の2つの遅延ライン43Eおよび43Oにおいて遅延される。遅延ライン43Eおよび43Oの出力、m[k] およびm[k+1] は、2つのタップされる遅延ラインに送られる。タップは、ポストプロセッサにおけるその他のブロックにアクセス可能な各遅延ラインにおける種々の位置にマージビットを設ける。図8および9では、すべてのiの値に対し、信号MEVEN[i] はm[k-2i] に対応し、信号MODD[i] はm[k+1-2i] に対応する。

【0069】次に、図10を参照して、PR4判断メモリブロック54は、2つの(1-D') ビタビ検出器からの推定された入力シンボルを、2つのタップされた遅延ライン54Eおよび54Oにストアする。遅延ラインへの入力はx^[k+2] およびx^[k+3] に対応し、遅延ラインの出力はx^[k-46] およびx^[k-47] に対応する。タップは、ポストプロセッサにおけるその他のブロックにアクセス可能な各遅延ラインにおける種々の位置でPR4判断を行なう。図8および10では、信号XEVEN[i] はx^[k-2i] に対応し、信号XODD[i] はx^[k+1-2i] に対応する。推定された入力シーケンス(x^)におけるエラー事象は、遅延ラインの出力を最良のエラー事象訂正ブロック64を通して送ることにより修正されて、向上した推定入力シーケンス(x^)を得る。 *

$$\begin{aligned} \text{ERRMETA_EVEN} &= \text{AOLD_REG} - \text{AEVEN_REG} \\ \text{ERRMETA_ODD} &= \text{AOLD_REG} - \text{AODD_REG} \\ \text{ERRMETB_EVEN} &= \text{BEVEN_OLD_REG} - \text{BEVEN_REG} \\ \text{ERRMETB_ODD} &= (-1)^{2[k-5] \bmod 2} (\text{BODD_OLD_REG} - \text{BODD_REG}) \end{aligned}$$

【0072】これらの信号はレジスタされて、時間k-4およびk-3で終わる「ベストタイプA」エラー事象、および時間k-4およびk-3で終わる「ベストタイプB」エラー事象に対するエラー事象距離が得られ、次式のとおりとなる。

【0073】

* 【0070】次に図11を参照して、エラー事象距離発生ブロック56は、ERROR_EVEN=e[k] およびERROR_ODD=e[k+1] である、エラー信号発生器50からの奇数および偶数のEPR4エラー信号を受取る。EPR4エラー信号は(1+D)フィルタを通して送られ、遅延され、BEVEN_REG=e[k-2]+e[k-3] およびBODD_REG=e[k-1]+e[k-2] が得られる。同時に、EPR4エラー信号は(1-D^2)フィルタを通して送られ、遅延され、AEVEN_REG=e[k-2]-e[k-4] およびAODD_REG=(e[k-1]-e[k-3]) が得られる。エラー事象有効化ブロック58で発生されるTRIGGERA_EREG0およびGATEA信号は、タイプAエラー事象の始まりに関連するAEVEN_REGまたはAODD_REGの最後の値であるAOLD_REGを含むレジスタへの入力を制御するのに用いられる。GATEA信号は、タイプAエラー事象が時間k-3またはk-4いずれかで開始することを示している。TRIGGERA_EREG信号は、タイプAエラー事象が時間k-4で偶数のインタリーブで開始することを示している。レジスタBEVEN_OLD_REGは、奇数のインタリーブにおけるタイプBのエラー事象の開始と関連するBEVEN_REGの最後の値である。同様に、レジスタBODD_OLD_REGは、偶数のインタリーブにおけるタイプBエラー事象の開始と関連するBODD_REGの最後の値である。本明細書において信号の名前において用いる奇数および偶数という引用は、通常はエラー事象の開始の位置というよりも終わりの位置に関する。マージビットM_EVEN[1]=m[k-2] およびMODD[2]=m[k-3] はそれぞれ、時間k-2での偶数のインタリーブ、および時間k-3での奇数のインタリーブにおけるタイプBのエラー事象の開始を示すのに用いられる。レジスタされた値は次に加算または減算されて次式を得る。

【0071】

【数7】

【数8】

$ERRMETA_EREG = (-1)^{2^{k-7}} emA[k-4]$
 $ERRMETA_OREG = (-1)^{2^{k-7}} emA[k-3]$
 $ERRMETB_EREG = (-1)^{2^{k-7}} emB[k-4]$
 $ERRMETB_OREG = (-1)^{2^{k-7}} emB[k-3]$

【0074】次に図12を参照して、エラー事象有効化ブロック58は、時間 $k-5$ および $k-4$ で終わる「ベストタイプA」エラー事象が有効であるかどうかを決定する。時間 $k-4$ で終わる「ベストタイプA」エラー事象は、 $L[k-5] < k-7$, $L[k-6] = L[k-5] \pm 1$, および $x^*[k-8] \neq x^*[k-7]$ であれば有効である。同様に、時間 $k-3$ で終わる「ベストタイプA」エラー事象は、 $L[k-4] < k-6$, $L[k-5] = L[k-4] \pm 1$, および $x^*[k-8] \neq x^*[k-7]$ であれば有効である。以前のチャンネルクロックサイクルにおいて「ベストタイプA」エラー事象が有効であり、特定のマジビットの値が0であれば、エラー事象距離は有効なままである。信号VALIDA_EREGおよびVALIDA_OREGは、それぞれ、時間 $k-4$ および $k-3$ で終わる「ベストタイプA」エラー事象が有効かどうかを示す。

【0075】最高チャンネルレートの実現では、エラー事象比較ブロックを用いて、訂正の対象となる可能性のある、時間 j で終わる「ベストタイプAまたはB」の最小距離エラー事象を決定する。エラー事象比較ブロックは、2つのエラー事象距離または2つの差分距離を比較して以下を決定する。

【0076】 $em[j] = \max\{emA[j], emB[j]\}$
 $dm[j] = \min\{emA[j], emB[j]\} = d_{min}^2 / 2 - em[j]$

「ベストタイプA」エラー事象が有効であり、 $dmA[j]$ または $dmB[j]$ が0未満であれば、ポストプロセッサは2つのエラー事象のうち1つを訂正を考慮するエラー事象として選択する。このエラー事象はフラグがつけられ、その差分距離は $dm[j] = \min\{dmA[j], dmB[j]\}$ で与えられる。ポストプロセッサは、 $dmB[j] < 0$ であり、「ベストタイプA」エラー事象が無効であるかまたは $dmB[j] < dmA[j]$ であれば、時間 j で終わる「ベストタイプB」エラー事象を選択する。この場合、差分距離 $dm[j]$ は $dmB[j]$ と等しくなるように設定される。ポストプロセッサは、 $dmA[j] < 0$, $dmA[j] < dmB[j]$ 、かつ「ベストタイプA」エラー事象が有効であれば、時間 j で終わる「ベストタイプA」エラー事象を選択する。この場合、時間 j で終わる「ベストタイプAまたはB」エラー事象に対する差分距離、 $dm[j]$ は、 $dmA[j]$ に等しくなるように設定される。

【0077】最高チャンネルレートの実現では、更新最良

エラー事象ブロックは、時間 j で終わる「ベストタイプAまたはB」エラー事象の差分距離、 $dm[j]$ を、時間のウィンドウにわたる最良のエラー事象の差分距離と比較し、ここでウィンドウの長さは、最良のエラー事象の長さに等しい。レート16/17 (0, 6/7) 変調コードに対し、ウィンドウの長さは18である。 $bm[j-18, j-1]$ が、時間 $j-18$ から時間 $j-1$ までのウィンドウにおける最良のエラー事象の差分距離を表わすものとする。時間 j で終わる適切なエラー事象があり、時間 $j-17$ ないし $j-1$ のウィンドウにおける適切なエラー事象がないかまたは $dm[j] < bm[j-18, j-1]$ であれば、ウィンドウにおける最良のエラー事象が更新され、 $bm[j-17, j]$ は、 $dm[j]$ に等しくなるように設定される。そうでなければ、ウィンドウにおける最良のエラー事象は更新されず、 $bm[j-17, j]$ は、 $bm[j-18, j-1]$ に等しくなるように設定される。ウィンドウにおける最良のエラー事象が時間 $j-18$ で終われば、ウィンドウにおける最良のエラー事象は最良エラー事象訂正ブロックにおいて訂正される。

【0078】好ましい実施例である2分の1レートの実現では、エラー事象比較ブロック60は、訂正の可能性のあるエラー事象として適する、時間 k または $k+1$ で終わる「ベストタイプAまたはB」エラー事象を決定する。最高レートの実現と同じ態様で、時間 k および $k+1$ で終わる4つのエラー事象が比較されて適格化される。エラー事象のうち1つが適していれば、最良のエラー事象にフラグがつけられ、時間 k または時間 $k+1$ で終わる「ベストタイプAまたはB」エラー事象に対する差分距離、 $\min\{dm[k], dm[k+1]\}$ は、そのエラー事象に対応する差分距離と等しくなるように設定される。時間 k または $k+1$ いずれかで終わるエラー事象にフラグがつけられたなら、更新ベストエラーブロック62は、時間 k または時間 $k+1$ いずれかで終わる「ベストタイプAまたはB」エラー事象の差分距離、 $\min\{dm[k], dm[k+1]\}$ を、時間のウィンドウにわたる最良のエラー事象の差分距離と比較し、ここでウィンドウの長さは、2つの可能な連続する位置のうち1つで開始する最良のエラー事象の長さに等しい。レート16/17 (0, 6/7) 変調コードに対しては、ウィンドウの長さは19である。論理を簡潔化するために、ウィンドウの長さを20に拡大する。 $bm[k-20, k-1]$ が、ウィンドウにおける最良のエラー事象の差分距離を表わすものとする。 k または $k+1$ という時間で終わる適切なエラー事象があり、時間 $k-20$ ないし $k-1$ でウィンドウにおいて適切なエラー事象がないかまたは $\min\{dm[k], dm[k+1]\} < bm[k-20, k-1]$ であれば、ウィンドウにおける最良のエラー事象は更新され、 $bm[k-18, k+1]$ は、 $\min\{dm[k], dm[k+1]\}$

1] }と等しくなるように設定される。そうでなければ、ウィンドウにおける最良のエラー事象は更新されず、 $bm[k-18, k+1]$ は、 $bm[k-20, k-1]$ に等しくなるように設定される。ウィンドウにおける最良のエラー事象が時間 $k-20$ または $k-19$ で終われば、ウィンドウにおける最良のエラー事象は最良エラー事象訂正ブロック64において訂正される。

【0079】次に図13を参照して、エラー事象比較ブロック60は、4つのエラー事象距離を比較する。エラー事象距離 $emA[k-4]$ および $emB[k-4]$ は、比較されて、 $em[k-4]$ と呼ばれる、時間 $k-4$ で終わる「ベストタイプAまたはB」エラー事象距離を決定する。 $emB[k-4]$ が $emA[k-4]$ よりも大きいかまたは、タイプAのエラー事象が無効であれば、タイプBエラー事象が選択され、 $em[k-4] = emB[k-4]$ となる。そうでなければ、タイプAのエラー事象が選択されて $em[k-4] = emA[k-4]$ となる。同様に、エラー事象距離 $emA[k-3]$ および $emB[k-3]$ が比較され、 $em[k-3]$ と呼ばれる、時間 $k-3$ で終わる「ベストタイプAまたはB」エラー事象を決定する。 $emB[k-3]$ が $emA[k-3]$ よりも大きいかまたはタイプAエラー事象が無効であれば、タイプBエラー事象が選択され、 $em[k-3] = emB[k-3]$ となる。そうでなければ、タイプAエラー事象が選択され $em[k-3] = emA[k-3]$ となる。さらに、エラー事象比較ブロックは $em[k-6]$ および $em[k-5]$ を比較して、時間 $k-6$ または $k-5$ で終わる「ベストタイプAまたはB」エラー事象を決定する。 $em[k-6]$ が $em[k-5]$ よりも大きければ、時間 $k-6$ で終わる「ベストタイプAまたはB」エラー事象が選択される。そうでなければ、時間 $k-5$ で終わる「ベストタイプAまたはB」エラー事象が選択される。レジスタERRMET_REGは、時間 $k-8$ または $k-7$ で終わる、「ベストタイプAまたはB」エラー事象と関連するエラー事象距離を、符号変更内で表わす。

【0080】次に図14を参照して、更新最良エラー事象ブロック62は、時間 $k-10$ または時間 $k-9$ で終わる「ベストタイプAまたはB」エラー事象と関連する差分距離であるDIFFMET_REGを計算し、信号BESTDISTに対応する、 $k-30$ ないし $k-11$ の時間のウィンドウにわたる最良の差分距離と比較する。もしBESTDISTよりもDIFFMET_REGが選択されれば、NEWBEST信号はハイになり、最良の差分距離に対する新しい値があることを示す。NEWMASK_EREG, NEWMASK1_EREG, およびNEWMASK_OREG信号を用いて、最良エラー事象訂正ブロック64内のMASK_EVENおよびMASK_ODD遅延ラインにおける新しい最良のエラー事象と関連するシンボルエラーを設ける。最良エラー事

象訂正ブロック64において発生されるNEWCORRECT信号が用いられ、最良のエラー事象がウィンドウの最後に到達したことを示すため、最良のエラー事象は訂正の準備ができており、ウィンドウは空である。

【0081】図15および16を参照して、最良エラー事象訂正ブロック64は6つの遅延ラインからなる。図15および16におけるMASK_EVENおよびMASK_ODD遅延ラインは、時間 $k-30$ ないし $k-13$ のウィンドウにおける最良のエラー事象に対するシンボルエラーロケーションを含む。図15におけるMBITS_EVENおよびMBITS_ODD遅延ラインは、MASK_EVENおよびMASK_ODDをそれぞれ与える、マージビットから得られる、シンボルエラーロケーションを含む。ウィンドウにおける最良のエラー事象が時間 $k-30$ または時間 $k-29$ で終われば、シンボルエラーロケーションを、図16のCOR_EVENおよびCOR_ODD遅延ラインに設けることにより、そのエラー事象は訂正される。COR_EVENおよびCOR_ODD遅延ラインの出力が用いられて、PR4判断メモリブロック54の出力でのエラーの多いビットをフリップし、二入力シンボルの向上した推定を得るが、この場合 $X_EPR4_EVEN = x^{(k-48)}$ および $X_EPR4_ODD = x^{(k-47)}$ となる。

【0082】EPR4ポストプロセッサのこの実施例に対する変調コードの制約に、依存する唯一のものは、(1-D') ビタビ検出器に対する経路メモリの長さおよびポストプロセッサにおける遅延ラインの長さである。

【0083】上記のように本発明の実施例について説明してきたが、本発明の目的は十分に達成され、当業者には、本発明では構成における多くの変更および広範囲にわたる実施例および応用例が、本発明の精神および範疇から逸脱することなく自ずから明らかになることが認識されるであろう。本明細書の開示および説明は全く例示的なものであり、いかなる意味においても制限を意図するものではない。

【図面の簡単な説明】

【図1】EPR4チャネルの離散時間モデルを表わす図である。

【図2】8状態EPR4チャネルの状態図である。

【図3】EPR4チャネルおよびPR4チャネルに対する周波数応答の大きさを比較する図である。

【図4】8状態EPR4チャネルのトレリス図である。

【図5】本発明の原理および局面を採用する、EPR4検出器を備える磁気記録チャネルのシステム全体のブロック図である。

【図6】PR4ビタビ検出器および、エラー信号発生器を含むポストプロセッサの前部を含む、図5のEPR4検出器のより詳細なブロック図である。

【図7】EPR4トレリスを通るPR4経路、およびこの特定のPR4経路に沿う時間jで終わるすべての可能な最小距離エラー事象を示す図である。

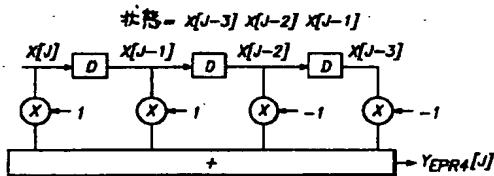
【図8】EPR4ポストプロセッサの後部を含む、図5におけるEPR4検出器のより詳細なブロック図であり、図6で示されるエラー信号発生器以外すべてを表わしている。図8は図6との関連で考察されるべきであり、そうすればポストプロセッサの完全なブロック図が与えられる。

【図9】図8に含まれるマージメモリブロックの概略図 10 である。

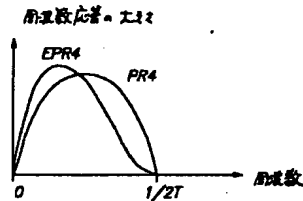
【図10】図8に含まれるPR4判断メモリブロックの概略図である。

【図11】図8に含まれるエラー事象距離発生ブロックの概略図である。

【図1】



【図3】



【図12】図8に含まれるエラー事象有効化ブロックの概略図である。

【図13】図8に含まれるエラー事象比較ブロックの概略図である。

【図14】図8に含まれる更新最良エラー事象ブロックの概略図である。

【図15】図8に含まれる最良エラー事象訂正ブロックの概略図の第1の部分の図である。図15は図16と関連付けて考察されるべきものである。

【図16】図8に含まれる図15の最良エラー事象訂正ブロックの概略図の第2の部分の図である。

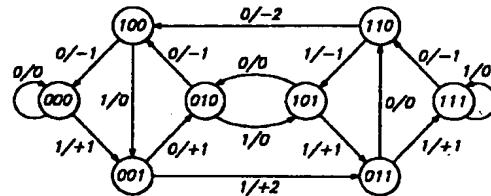
【符号の説明】

36 EPR4検出器

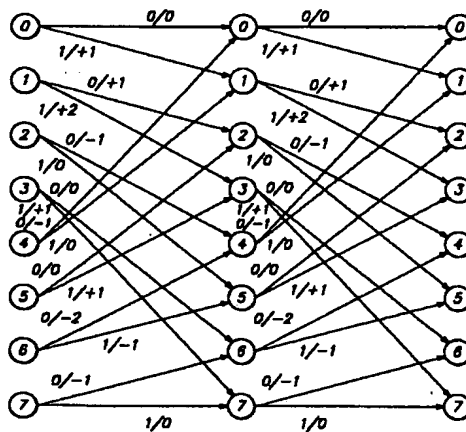
38 PR4ビタビ検出器

40 ポストプロセッサ

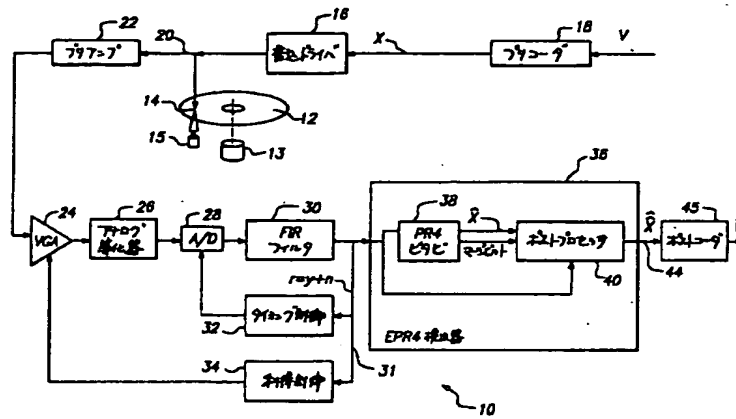
【図2】



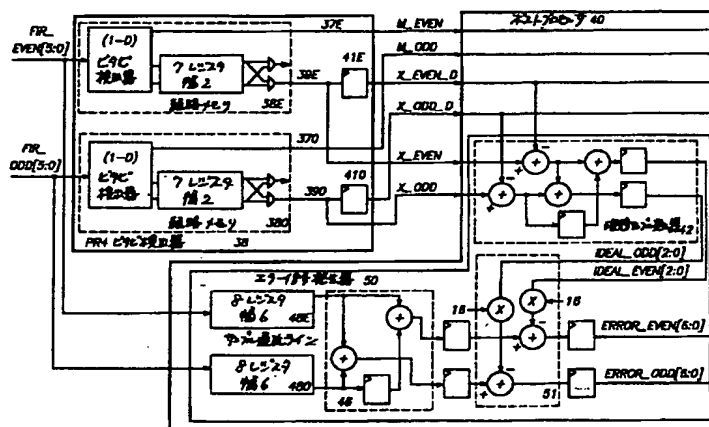
【図4】



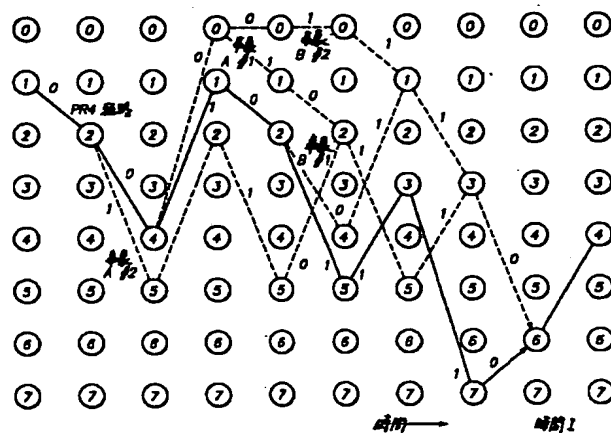
【図5】



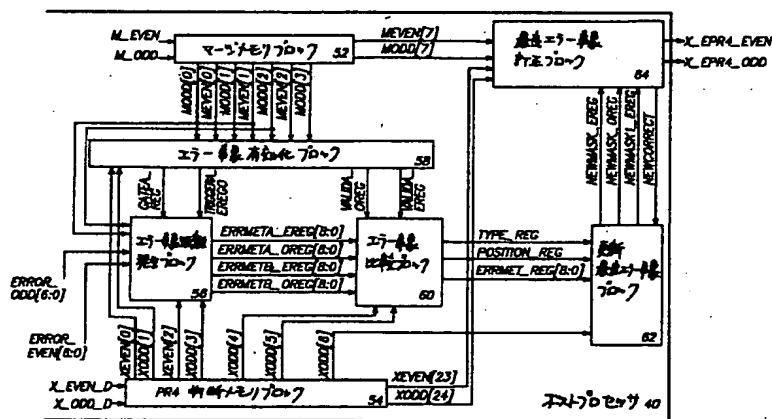
【図6】



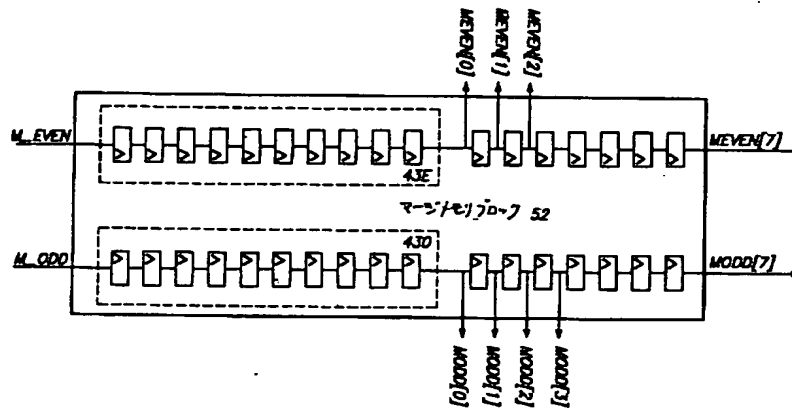
【図7】



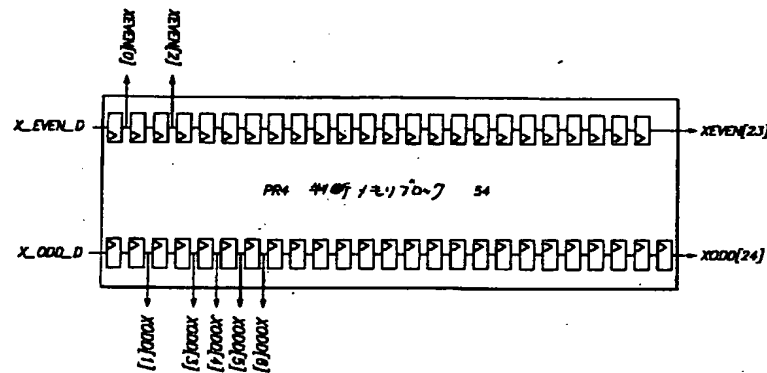
【図8】



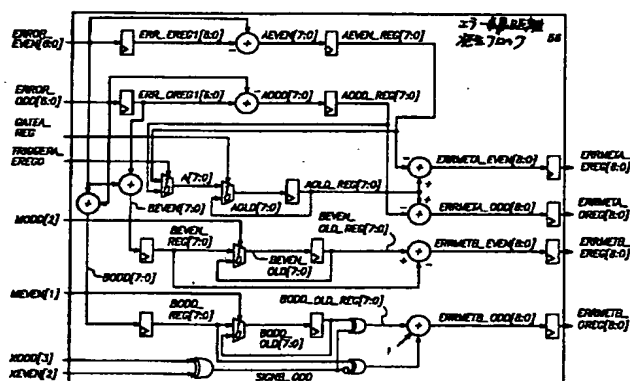
【図9】



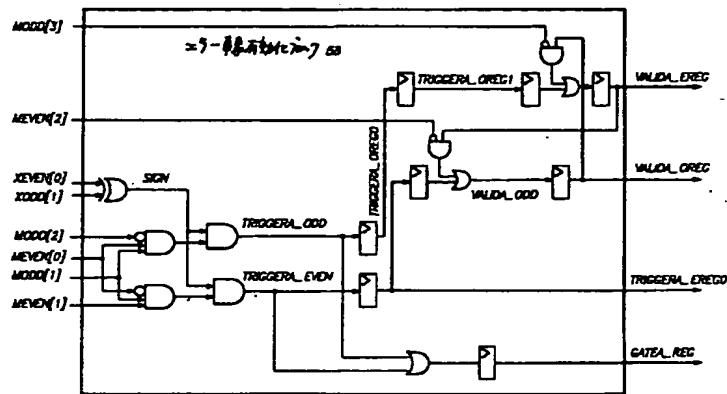
【図10】



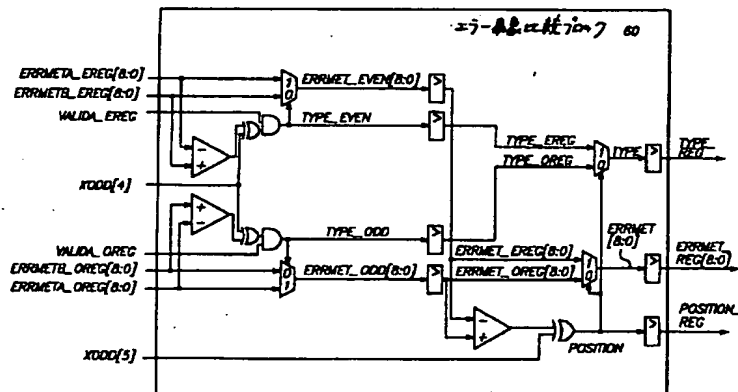
【図11】



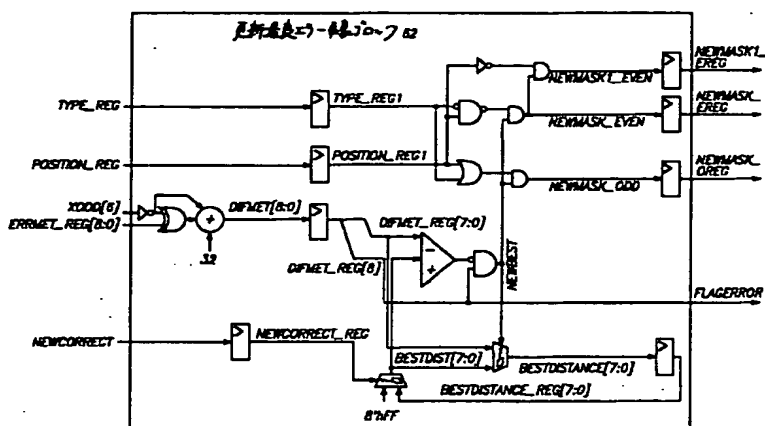
【図12】



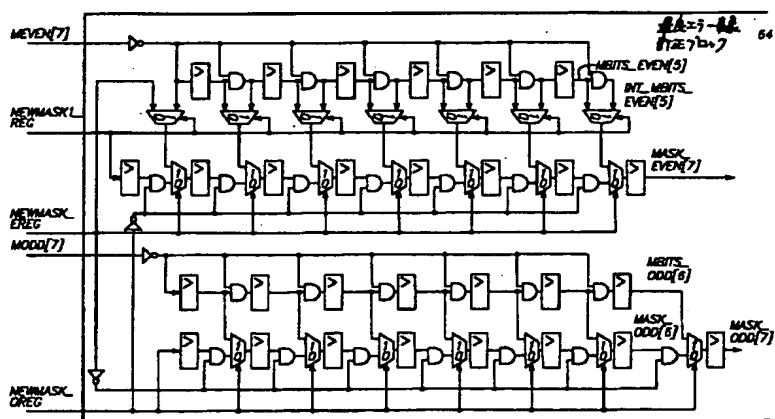
【図13】



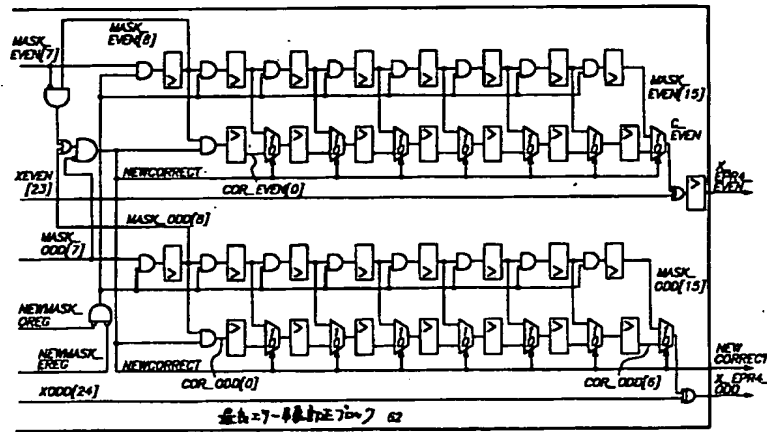
【图 14】



【図 15】



【図16】



フロントページの続き

(51)Int.Cl.⁶

G11B 20/18

識別記号

572

片内整理番号

9558-5D

FI

G11B 20/18

技術表示箇所

572F